



# CION-LX

## Konfigurierbarer I/O Netzwerk Chip der neuesten Generation



- weltweit erster via JTAG steuerbarer mixed-signal Tester-on-Chip (ToC)
- Unterstützung der aktuellen Boundary Scan Standards (IEEE1149.1/6/8.1)
- hochflexible Konfiguration der Single-ended und differentiellen Signale für jede Applikation
- gleichzeitige Verwendung integrierter analoger und digitaler Instrumente
- unterstützt dynamische At-speed-Funktionstests
- integrierte Instrumente
  - Arbitrary Waveform Generator
  - Analog Signal Recorder
  - Event Detector
  - Frequenzmesser
- bestens geeignet für folgende Anwendungen
  - Design fortgeschrittener Boundary Scan I/O-Module
  - Design Embedded Signal Monitoring
  - ATE Pin Elektronik
- kleiner Footprint (LGA 116-Gehäuse)



Parameter	Daten
Technologie	0,35 µm Mixed Signal ASIC
Gehäuse	116 Pin LGA (Landing Grid Array), 11 mm x 11 mm
Boundary Scan I/O	32 I/O (4 Gruppen) 0.9-3.6 V, (maximal 24 mA @ 3.6 V), IEEE 1149.1, IEEE 1149.8.1
High Current I/O	4 I/O (1 Gruppe) 0.9-2.0 V, (maximal 40 mA @ 2.0 V), IEEE 1149.1, IEEE 1149.8.1
Differential I/O	8 (CML und LVDS Unterstützung), IEEE 1149.1, IEEE 1149.6
ADC	12 bit mit 400 KSamples/s und 1K Speicher (3.6 V max.)
DAC	10 bit mit 1Msample/s und 1K Speicher (3.6 V max.)
Pull-Up / Pull-Down	10 kOhm pro Kanal programmierbar
TCK Frequenz (max.)	100 MHz
Konfiguration der Pin-Eigenschaften	Single ended: Treiber Stärke, Pull-Up/Pull-Down Differenziell: CML, LVDS, Terminierung, Bias Widerstände
Integrierte Instrumente	Arbitrary Waveform Generator (gemultiplext), Signal Recorder (gemultiplext), Event Detector (per Pin), Frequenzmesser und Periodeendauermessung (gemultiplext)
Betriebsarten	Pin Treiber, Bus-Transceiver mit Registern und Tristate-Ausgängen, Boundary Scan Transceiver



CION-LX Evaluation Board ermöglicht Verifikation der CION-LX Betriebsarten, der eingebauten Instrumente und der Konfiguration der Pins

## Flexible Teststrategien

- Kombination von Boundary Scan mit analogen und digitalen at-speed-Funktionstests

CION-LX  
Neueste Generation  
des per JTAG  
kontrollierbaren  
Tester-on-Chip (ToC)

## Verbesserte Testqualität

- höhere Testabdeckung und verbesserte Fehlerdiagnose