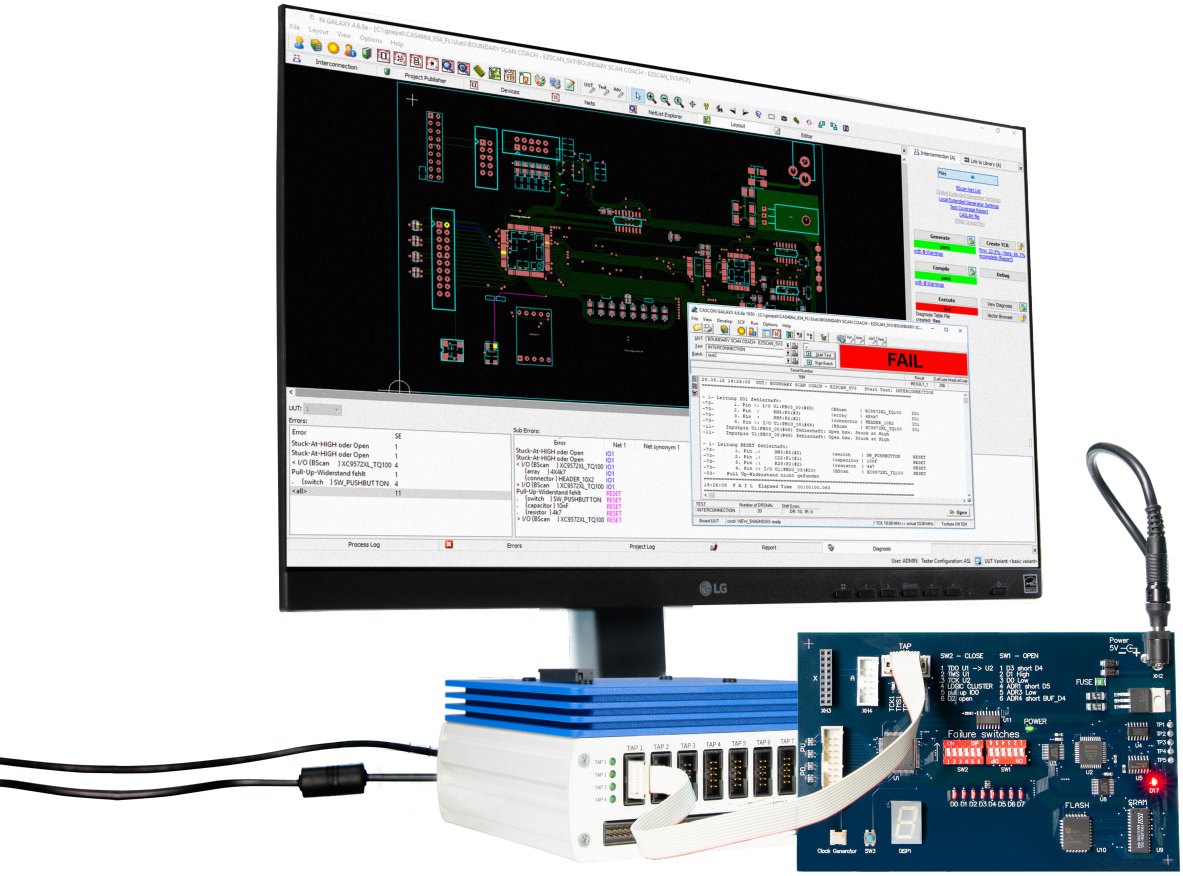
Embedded JTAG Solutions

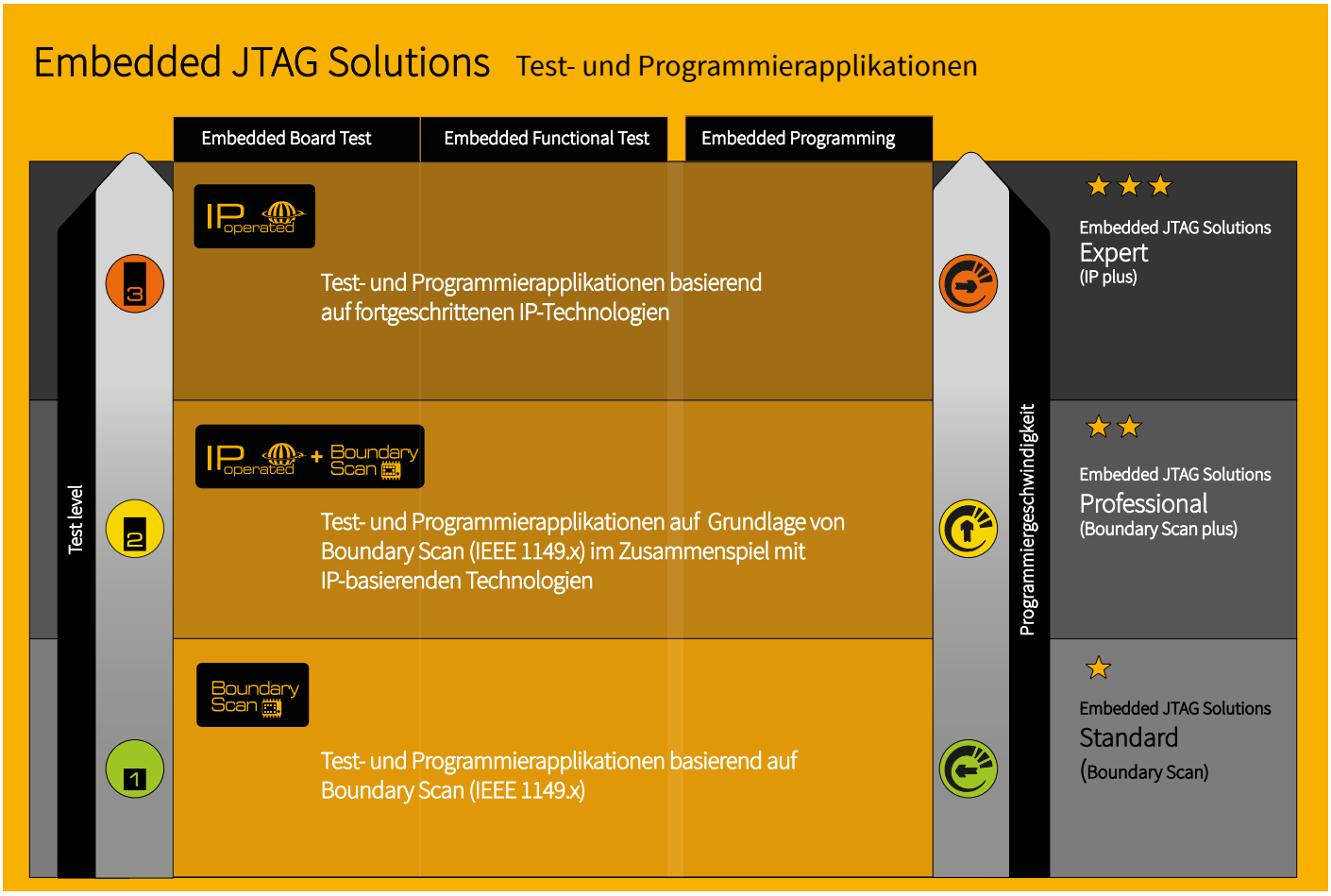
Applikationen



- Testentwicklung unabhängig vom Entwicklungsstand von Software oder Firmware
- schnelle Fehlererkennung bei Prototypen für eine schnellere Markteinführung
- Pin-genaue Diagnose
- Kombination von Test und Programmierung
- parallele Bearbeitung mehrerer Prüflinge
- Kombination von Struktur- und Funktionsprüfung
- einfache Automatisierung
- Generierung sicherer Testvektoren
- Integration von Sicherheits- und Schutzmechanismen

GÖPEL electronic

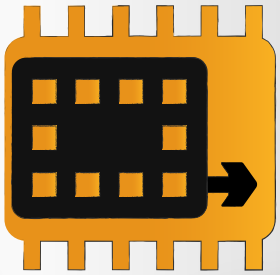
Enjoy Testing



IP = Intellectual Property

Embedded JTAG Solutions

In der Elektronikindustrie werden die ICs immer kleiner und die Packungsdichte nimmt zu. Dadurch sinkt der Zugriff über Nadeln rapide. Aus diesem Grund wurde ein Testverfahren entwickelt welches, über eine serielle Schiebekette fast jedes Pin steuern und messen kann.
Dazu werden typ. 4 Signale benötigt. Dieses Verfahren wurde als JTAG/Boundary Scan bekannt und 1990 standardisiert.JTAG/ Boundary Scan bietet durch seine offene Architektur und die Vielseitigkeit der JTAG-Schnittstelle einzigartige Möglichkeiten zur Erweiterung.
Diese Eigenschaften machen JTAG/Boundary Scan zu einer technologischen Basis für neue, nicht-intrusive Zugriffsmethoden und Standards für Test, Debugging, Programmierung und Emulation: die Embedded JTAG Solutions



Embedded Board Test

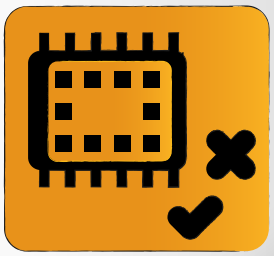
Embedded Board Test

Der Embedded Board Test dient der Verifikation von Verbindungen auf einer Baugruppe. Hier werden alle möglichen Boundary Scan-, Microcontroller- und FPGA-Ressourcen genutzt, um Kurzschlüsse, nicht gelötete Pins oder auch fehlende Pull-Widerstände zu erkennen.

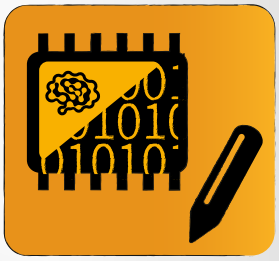
Embedded JTAG Solutions Test- und Programmierapplikationen

Test	Embedded Board Test	Embedded Functional Test	Embedded Programming	Programmierung	
Stress	IP-gesteuerter semistruktureller Test über eine Debugschnittstelle oder eine Kommunikationsschnittstelle Nominal-Speed bis Stress	IP-gesteuerter funktionaler Test über eine Debugschnittstelle oder eine Kommunikationsschnittstelle Nominal-Speed bis Stress	IP-gesteuerte Programmierung von Flash-speichern und µControllern über eine Debugschnittstelle mit optionaler Datenübertragung über eine Kommunikationsschnittstelle Highspeed bis Ultra-Highspeed	hohe bis sehr hohe Geschwindigkeit	★★★ Embedded JTAG Solutions Expert (IP plus)
Nominal-Speed / At-Speed	Struktureller Test durch Kombination von Boundary Scan und IP-Operationen über eine Debugschnittstelle Static bis At-Speed	Funktionaler Test durch Kombination von Boundary Scan und IP-Operationen über eine Debugschnittstelle Static bis At-Speed	IP-gesteuerte Programmierung von Flashspeichern und µControllern über eine Debugschnittstelle Mediumspeed bis Highspeed	mittlere bis hohe Geschwindigkeit	★★ Embedded JTAG Solutions Professional (Boundary Scan plus)
Static	Struktureller und parametrischer Test mit Boundary Scan über die JTAG-Schnittstelle Static	Funktionaler Test mit Boundary Scan über die JTAG-Schnittstelle Static	Programmierung von Flash-speichern und Konfiguration von (C)PLDs/FPGAs durch Boundary Scan über die JTAG-Schnittstelle Lowspeed bis Mediumspeed	niedrige bis mittlere Geschwindigkeit	★ Embedded JTAG Solutions Standard (Boundary Scan)

IP = Intellectual Property



Embedded Functional Test



Embedded Programming

Embedded Functional Test

Heutige Teststrategien erfordern mittlerweile mehr als nur das einfache Testen struktureller Baugruppen-verbindungen. Neben der einwandfreien Kontaktierung müssen auch funktionale Baugruppen- und Bauteilfunktionen überprüft werden. Hier kommt der Embedded Functional Test zum Einsatz.

Embedded Programming

Neben dem Test spielt auch die Program-mierung eine große Rolle bei der Baugruppen-fertigung. Vor allem zunehmende Datenmengen stellen eine große Herausforderung dar. Die Embedded JTAG Solutions bieten hier eine optimale, flexible Lösung zur Programmierung, einzeln oder parallel im Nutzen.

Applikationsübersicht

Applikation	Tool/Lizenz	CASCON GALAXY						Hardware-plattform		Performance			
		Pin Access	Base	Standard EJS	Professional	Expert	ISP	SCB II	SFX II	Static	At-Speed	Nominal	Stress
Infrastrukturtest	ATPG Infrastructure	✓	✓	✓	✓	✓	✓	✓	✓	✓		✓	
Verbindungstest	ATPG Interconnection 1149.1 & 1149.6	opt	✓	✓	✓	✓	X	✓	✓	✓	✓		
RAM Verbindungstest	ATPG Memory Access	opt	opt	✓	✓	✓	X	✓	✓	✓			
Logikclustertest	ATPG Clusters (Truth Table) ATPG Logic Components	opt	opt	opt	opt	✓	X	✓	✓	✓			
Logikclustertest	ATPG Clusters (Wave Form)	opt	opt	opt	✓	✓	X	✓	✓	✓			
Boundary Scan mit Flying Probe oder ICT Test	ATPG Interactive ATE	opt	opt	opt	opt	opt	X	✓	✓	✓			
Bauteiltest - Modellbasiert (z. B. LED, Clock)	ATPG Device Model	opt	opt	✓	✓	✓	X	✓	✓	✓			
Embedded Built in Self Test	Basic Test Generation	✓	✓	✓	✓	✓	X	✓	✓	✓			
FPGA - RAM Verbindungstest*	ATPG Memory Access	opt	opt	✓	✓	✓	X	✓	✓		✓		
FPGA - funktioneller RAM Verbindungstest*	ATPG Memory Access	opt	opt	✓	✓	✓	X	✓	✓			✓	
FPGA - RAM Stress Test*	ATPG Memory Access	opt	opt	✓	✓	✓	X	✓	✓				✓
FPGA Frequenzmessung*	Basic Test Generation	✓	✓	✓	✓	✓	X	✓	✓			✓	
FPGA Bit Error Rate Test (BERT)*	Basic Test Generation	✓	✓	✓	✓	✓	X	✓	✓			✓	
FPGA Ethernet Fram Error Rate Test (FERT)*	Basic Test Generation	✓	✓	✓	✓	✓	X	✓	✓			✓	
µP - Verbindungstest*	Basic VarioTAP Test Generation	opt	opt	opt	✓	✓	X	✓	✓			✓	
µP - RAM-Verbindungstest*	AVTG Dynamic Memory Access	opt	opt	opt	✓	✓	X	✓	✓			✓	
µP - RAM Stress Test*	AVTG Dynamic Memory Access	opt	opt	opt	✓	✓	X	✓	✓				✓

Applikationsübersicht

Applikation	Tool/Lizenz	CASCON GALAXY						Hardware-plattform		Performance			
		Pin Access	Base	Standard EJS	Professional	Expert	ISP	SCB II	SFX II	Static	At-Speed	Nominal	Stress
µP - GPIO/ADC/ DAC-Test*	Basic VarioTAP Test Generation	opt	opt	opt	✓	✓	X	✓̸	✓			✓	
µP - Interface Test*	Basic VarioTAP Test Generation	opt	opt	opt	✓	✓	X	✓̸	✓			✓	
µP - Systembus Test*	Basic VarioTAP Test Generation	opt	opt	opt	✓	✓	X	✓̸	✓			✓	
µP - System Cluster Test*	Basic VarioTAP Test Generation	opt	opt	opt	✓	✓	X	✓̸	✓			✓	

✓ Unterstützung bis max. Geschwindigkeit ✓̸ eingeschränkte Performance X nicht möglich opt als separate Softwareoption bestellbar

Übersicht Programmierung

Programmierung	Tool/Lizenz	CASCON GALAXY						Hardware-plattform		Performance			
		Pin Access	Base	Standard EJS	Professional	Expert	ISP	SCB II	SFX II	Static	At-Speed	Nominal	Stress
Flash (SPI/I²C/NAND /NOR/eMMC)	Automated Flash ISP (AFPG)	opt	opt	✓	✓	✓	✓	✓̸	✓	✓			
PLD/FPGA	PLD Program Generators	opt	opt	✓	✓	✓	✓	✓̸	✓			✓	
FPGA - Flash (SPI/I²C/NAND/ NOR/eMMC)	Automated Flash ISP (AFPG)	opt	opt	✓	✓	✓	✓	✓̸	✓		✓		
FPGA - Boot Flash (SPI/I²C)	Automated Flash ISP /AFPG)	opt	opt	✓	✓	✓	✓	✓̸	✓			✓	
µP - Onchip-Flash*	Automated VarioTAP Flash ISP	opt	opt	✓	✓	✓	✓	✓̸	✓			✓	
µP - Flash (SPI/I²C/NAND/NOR/ eMMC)*	Automated VarioTAP Flash ISP	opt	opt	✓	✓	✓	✓	✓̸	✓			✓	
X-BUS (SPI/I²C/NAND/NOR/ eMMC)*	X-BUS Scripting	opt	opt	opt	opt	✓	opt	✓̸	✓			✓	

✓ Unterstützung bis max. Geschwindigkeit ✓̸ eingeschränkte Performance X nicht möglich opt als separate Softwareoption bestellbar

Visualisierungstools & Features

Visualisierungs-tools & Features	Tool/Lizenz	CASCON GALAXY						Hardware-plattform	
		Pin Access	Base	Standard EJS	Professional	Expert	ISP	SCB II	SFX II
Pin Toggler	ScanAssist Multi Mode Debugger	✓	✓	✓	✓	✓	X	✓	✓
Multi Mode De-bugger	ScanAssist Inter-active Pin Toggler	✓	✓	✓	✓	✓	X	✓	✓
Automatische Scan-kettendetektierung	Visual Project Explorer - VIPX	✓	✓	✓	✓	✓	X	✓	✓
Visualisierung im PDF-Schaltplan	Scan Vision III Schematic Reader Scan Vision III Schematic Viewer	opt	opt	opt	opt	opt	X	✓	✓
Visualisierung im Board Layout	Scan Vision III Schematic Reader Scan Vision III Schematic Viewer	opt	opt	opt	✓	✓	X	✓	✓
VIPX-Netzliste	Visual Project Explorer - VIPX	✓	✓	✓	✓	✓	X	✓	✓

✓ Unterstützung bis max. Geschwindigkeit ✓ eingeschränkte Performance X nicht möglich
opt als separate Softwareoption bestellbar

Leistung

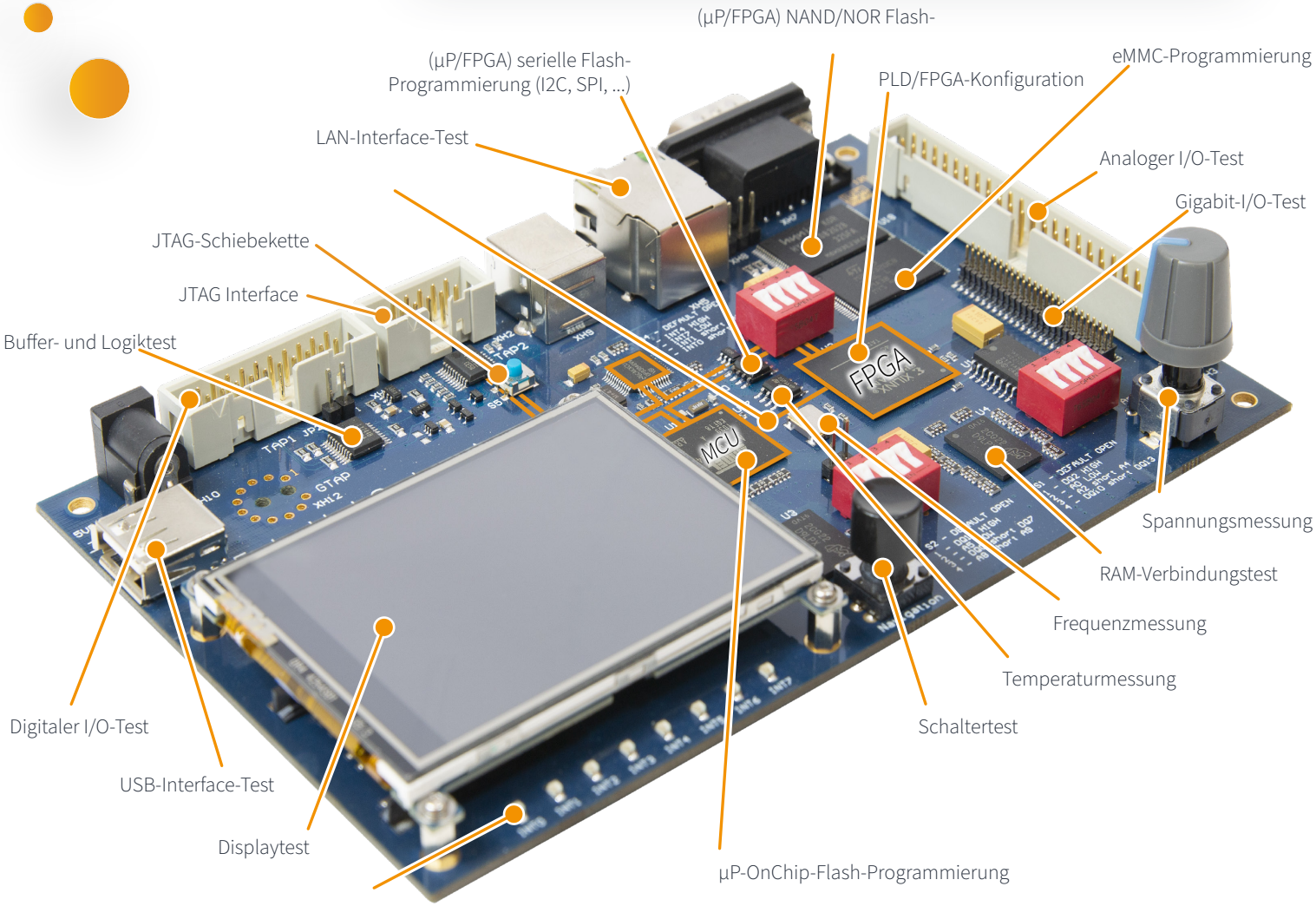
Statisch	Signalwechsel finden sehr weit (um Größenordnungen) unterhalb der Funktionsgeschwindigkeit des steuernden Pins statt
At-Speed	Signalwechsel finden unterhalb der Funktionsgeschwindigkeit des steuernden Pins statt
Nominal-Speed	Signalwechsel finden mit der Funktionsgeschwindigkeit des steuernden Pins statt
Stress	Signalwechsel finden mit der Funktionsgeschwindigkeit und abweichender Parametrisierung oder mit höherer Geschwindigkeit und/oder abweichender Parametrisierung des steuernden Pins statt

Applikationen

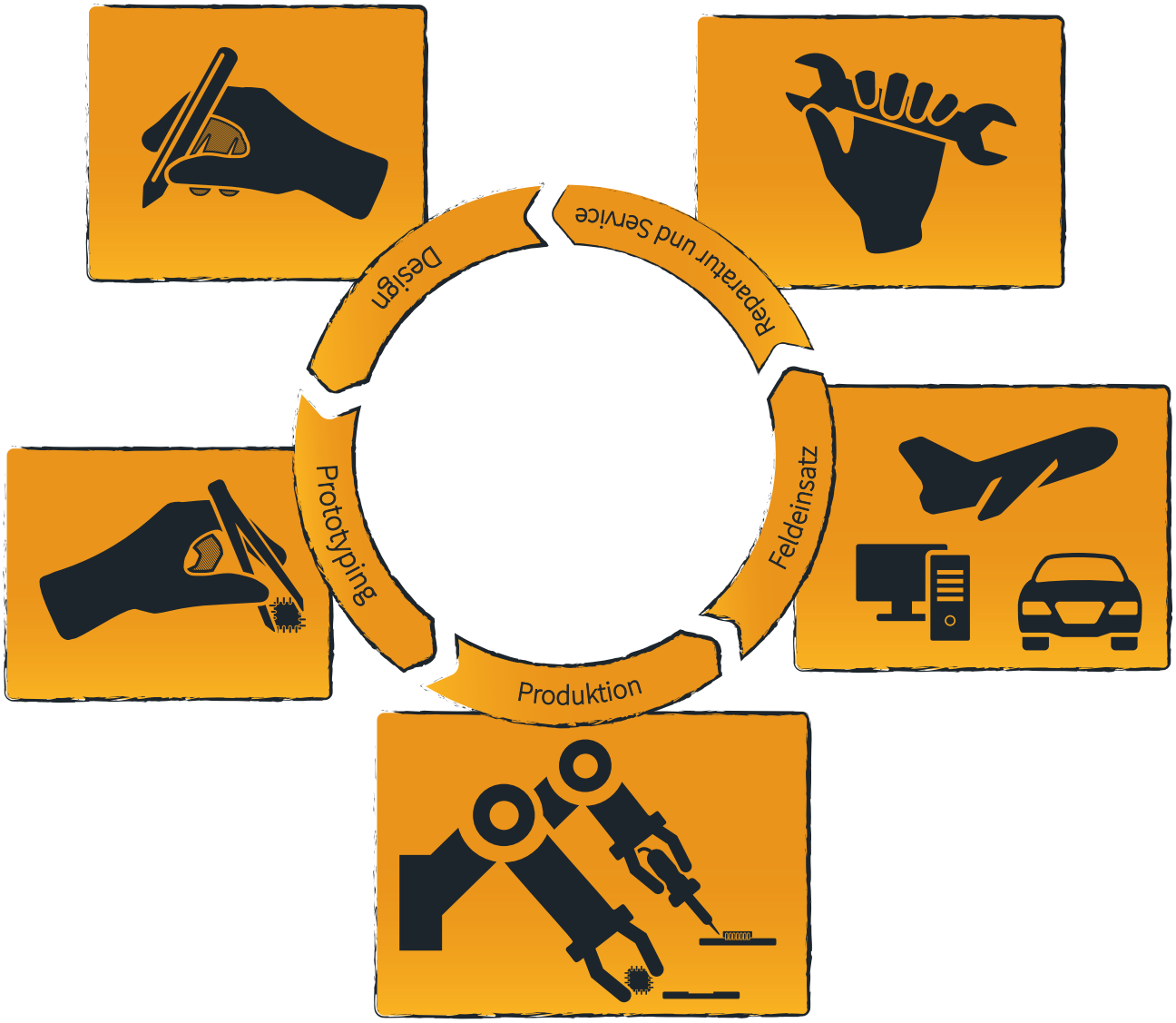
Klassifizierung der Applikationen

Jeder Schritt im Programmablauf hat ein bestimmtes grundlegendes Ziel, wie z. B. Testen, Programmieren, HW-Debugging oder Validierung. Er ist durch sehr spezifische Merkmale definiert, wie z. B. das verwendete Instrument, dessen Umgebung, die Ausführgeschwindigkeit oder sogar Interaktionen mit anderen Instrumenten.

Applikationstyp	Wichtigste Anwendungsinhalte
struktureller Test	Strukturen wie Pins/Netze werden getestet, die Funktionalität von Bauelementen (außer transparenter Logik und Bustreibern) dagegen nicht
semi-struktureller Test	Test der gleichen Elemente wie beim strukturellen Test, jedoch ist der Test in einen funktionellen Ablauf eingebunden, z. B. werden beim BERT Datenströme ausgewertet, um die Signalqualität zu bewerten
funktionaler Test	Test funktionaler Elemente, z. B. Decoder, Oszillatoren, Multiplexer, Schnittstellen oder andere
parametrischer (analoger) Test	Test von Parametern (z. B. Frequenz eines Oszillatorsignals, Spannungswerte, ...) unter Verwendung von CION-LX I/O-Modulen und µP-GPIO/ADC/DAC-Testressourcen
HW-Debugging/ Validierung	Interaktiver Test von Registerstrukturen, Pins, Verbindungen oder Logikfunktionen und Abgleich gegen Spezifikationen, Modellierungen usw.
Programmierung	Programmierung von nicht-flüchtigen Speichern, wie z. B. µP-interner Flash, NAND, NOR, eMMC, SPI, I²C, CPLD/FPGA oder anderen



Überblick Produktlebenszyklus



PLC Status	typische Anforderungen
Design	detaillierte/genaue DfT-Analyse zur Verbesserung der Fehlerabdeckung und zur Senkung der Herstellungskosten
Prototyping	Überprüfung wichtiger Signalverbindungen und Funktionsparameter, z. B. korrekte Takte
Produktion	effektive Fehlererkennung mit detaillierten Reporten zur schnellen Fehlerlokalisierung
Feldeinsatz	schnelle und sichere Firmware-Updates
Reparatur und Service	Test, Fehlerlokalisierung und Updates

GÖPEL electronic
Enjoy Testing
ISO 9001 zertifiziert

GÖPEL electronic GmbH
Göschwitzer Str. 58/60
07745 Jena · Deutschland
03641 · 6896 0 Fon
03641 · 6896 944 Fax
ejs.sales@goepel.com
www.goepel.com
ejs.sales@goepel.co.uk
ejs.sales@goepelusa.com
ejs.sales@goepel.asia
ejs.sales@goepel.in

EJS Applikation de / 11-2023