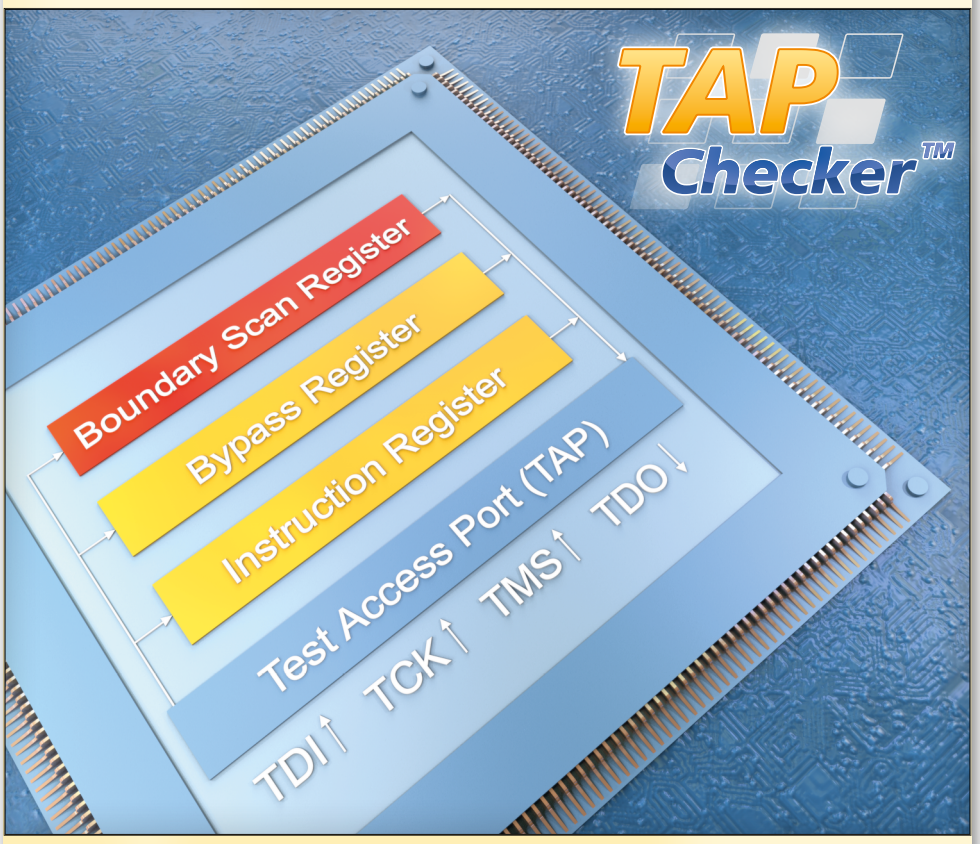
TAP Checker™

Produktinformationen



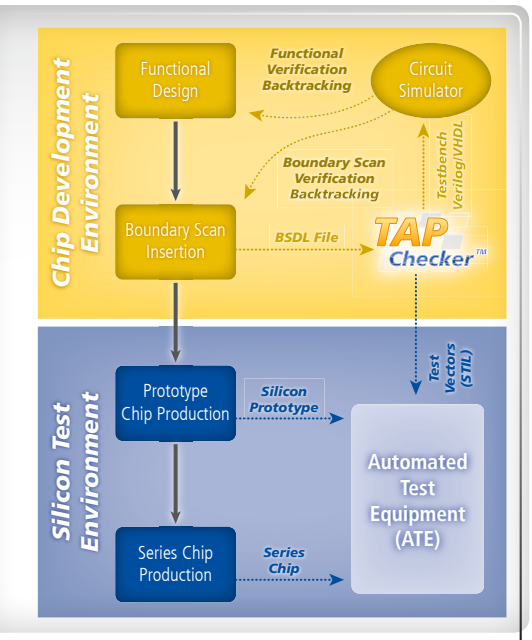
- **automatischer Testbench-Generator für IEEE-1149.x-Schaltkreise**
- **vollständige Validierung von Boundary-Scan-Designs**
- **erweiterte Funktionen für Multichip-Module und 3D-Chips**
- **kompatibel zu allen Standardsimulatoren**
- **Export von Testpatterns zu Chiptestern in der Produktion**
- **verfügbar für Windows, Oracle Solaris und Linux**

Boundary Scan bzw. **IEEE1149.x** ist eine revolutionäre Technologie zur Substitution des physischen Zugriffs über Nadeln und Sonden durch eine spezielle Onchip-Elektronik (elektronische Nadeln) im Verbund mit einem dedizierten Vierdrahtbus. Mit dem TAP Checker steht ein leistungsfähiges EDA-Werkzeug zur Validierung derartiger Strukturen zur Verfügung. Dabei wird sowohl die virtuelle Verifikation auf Basis funktionaler Simulationen als auch der physische Test gegen das Silizium durch einen entsprechenden Chiptester unterstützt. TAP Checker ist auch für modernste IC-Packages wie Multichip-Module (MCM) oder 3D-Chips einsatzfähig.

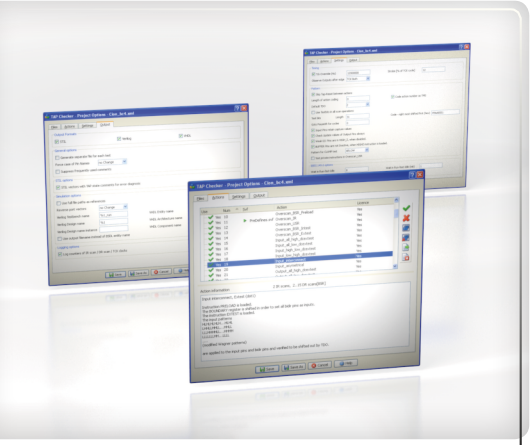
GOPEL electronic

Get the total Coverage!

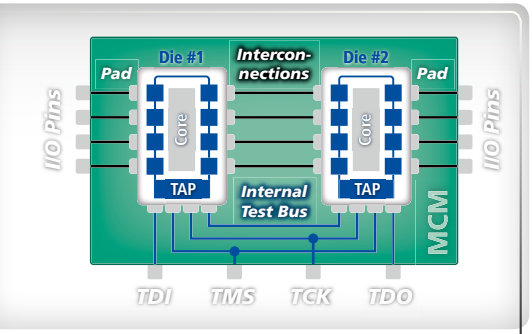
TAP Checker™



Einsatz von TAP Checker im Design- und Test-Workflow



Grafische Nutzeroberfläche von TAP Checker (Windows)



TAP Checker kann auch Multichip-Module abdecken

Automatische Testbench Generierung

Grundsätzlich müssen beim Design von Schaltkreisen mit IEEE-1149.x-Eigenschaften über das funktionale Verhalten der Core-Logik hinaus auch die gewünschten Boundary-Scan-Features implementiert und validiert werden. Mit TAP Checker besteht hierbei die Möglichkeit, die Zahl der Verifikations-Iterationen durch Simulation von automatisch generierten Testbenches zu minimieren. Als Input dient das BSDL-File des Targets, welches anschließend für eine Vielzahl von Prozeduren genutzt wird. Dazu gehören:

- Syntax- und Semantik-Checks
- Generierung von TAP-Tests
- Generierung von Register-Tests
- Generierung von Scanzelle-zu-Pin-Verbindungstests
- Generierung spezieller Toggle-Tests
- Einsatz von kundenspezifischen Initialisierungspatterns
- Test verketteter TAPs (Multichip-Module)
- Test von Netzen zwischen Dice (Multichip-Module)

In Summe bietet TAP Checker mehr als 70 verschiedene Testoptionen und ist in der Lage, mehrere Boundary-Scan-Standards zu unterstützen. Diese sind:

- IEEE 1149.1 (klassischer Boundary-Scan-Standard)
- IEEE 1149.6 (Test of Advanced Interconnections)

Die Steuerung der Software erfolgt dabei abhängig vom gewählten Betriebssystem per Kommandozeilen oder GUI.

Anbindung an Simulatoren und ATE

TAP Checker unterstützt sowohl virtuelle EDA-Umgebungen als auch die Validierung des realen Siliziums auf einem Chiptester. Dazu sind verschiedene Vektor-Export-Optionen verfügbar:

- Simulatoren: Verilog (IEEE 1364) / VHDL (IEEE 1076)
- Chiptester: STIL (IEEE 1450)

Weitere Interfaces sind auf Anfrage verfügbar.

Unterstützte Plattformen und Bestellinformationen

TAP Checker ist für sämtliche gängigen Betriebssysteme wie Windows, Solaris und Linux mit diversen Lizensierungsmodellen verfügbar. Die Standardpakete sind über eine Reihe von Erweiterungsoptionen jederzeit aufrüstbar. Zur Unterstützung kundenspezifischer Boundary-Scan-Designs bietet GÖPEL electronic spezielle Serviceleistungen an.

Produkt	Vektor-export	IEEE 1149.1	IEEE 1149.6	MCM-Support	Produkt-nummer
TAP Checker Standard Edition	✓	✓			TCE-01x
TAP Checker Advanced Edition	✓	✓	✓	✓	TCE-03x

Weitere Informationen sind auf **goepel.com** zu finden.

GÖPEL electronic
Get the total Coverage!
ISO 9001 zertifiziert

Autorisierter Distributor:
GÖPEL electronic GmbH
Göschwitzer Straße 58/60
D-07745 Jena
Tel.: 03641-6896-0
Fax: 03641-6896-944
E-Mail: sales@goepel.com
Internet: www.goepel.com
sales@goepel.co.uk sales@goepelusa.com sales@goepel.asia sales@goepel.fr sales@goepel.in