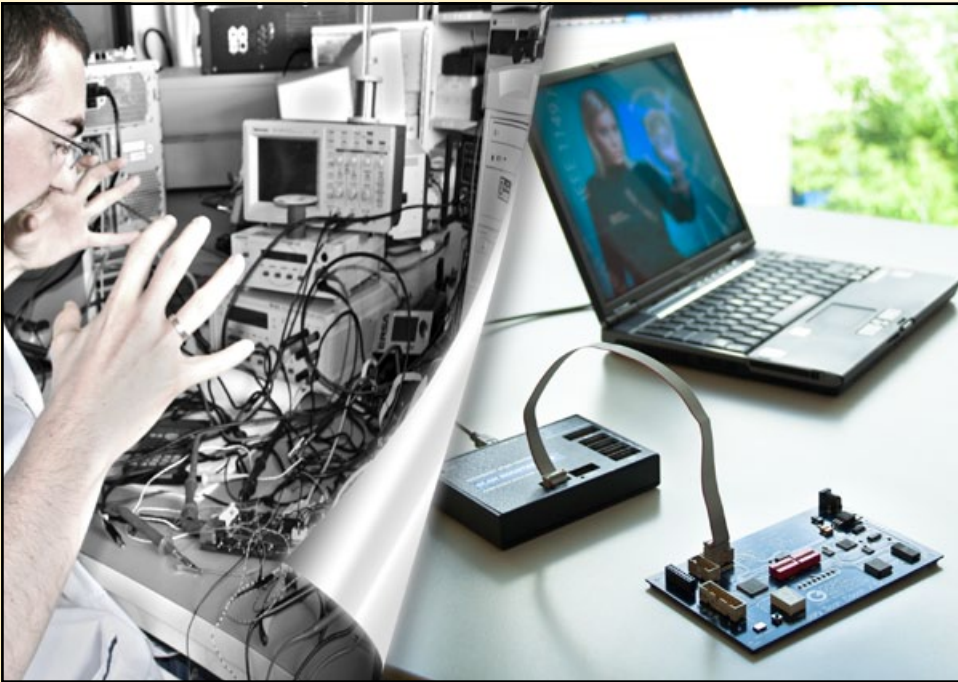
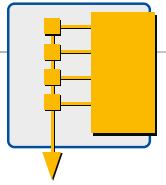


Komplexe Dinge einfach testen

Fertigungsgerechter Baugruppen- und Systemtest



Verschwenden Sie immer noch viel **Zeit** bei der Inbetriebnahme Ihrer Prototypen?

einfache Fehler-
suche über
detaillierte
und grafische
Fehleranalyse

JTAG

Löten Sie immer noch **umständlich** an Ihren Flashbausteinen zum **Programmieren** herum?

In-System-Programmierung
von ICs aller Hersteller über
ein Werkzeug

BScan!

Fragen Sie sich, wie Sie die **Pegel** an Ihrem **BGA-Pin** messen können?

Zugriff auf
alle digitalen
Bauteil-Pins
über
Vierdrahtbus

by GÖPEL electronic

JTAG / Boundary Scan ist die Lösung für Sie – und dafür brauchen Sie gerade einmal eine Handvoll Designregeln!

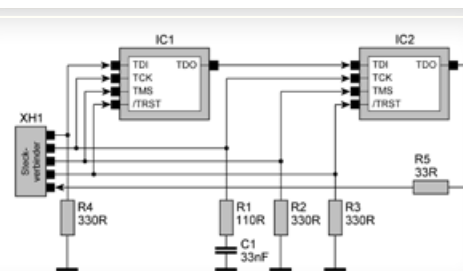
- boundary-scan cell architecture allows simultaneous driving and measuring
- increased current efficiency of the output stages (24mA)
- unstress switching characteristic in mode 1 and mode 3
- HOTSWAP
- < 20µA standby current
- tristate after power on
- extended IEEE1149.1 set of instructions
- maximum TCK frequency of 30 MHz
- operating voltage for each port from 1.8 to 5 V
- LQFP 64 package

according to IEEE 1149.1

2 General Description

CION (Configurable I/O Network) is a universal parallel I/O (PIO) circuit with extended boundary-scan testability according to IEEE 1149.1. It is manufactured in a 0.6 µm CMOS technology as ASIC (gate array). Thanks to special configuration pins, it can be operated in 4 different modes. Whereas CION does only function as a boundary-scan transceiver with 32 channels in mode 1, it can be used as a 16 bit PIO with internal bus registers in mode 2 and mode 3. A total number of 8 separately controllable I/O channels (8 bit PIO) are available in mode 4. CION is organized in 4 I/O ports with a width of 8 bit each. Each port can be operated simultaneously with different voltages within the range from 1.8 to 5.0 V. Depending on the selected configuration, CION can be used for pure boundary-scan test applications, as a peripheral circuit for microprocessors, as a level converter or as a special bus transceiver in an extremely large voltage range. The extended boundary-scan architecture according to IEEE 1149.1 includes a control cell and

IEEE-1149.1-Standardkonformität



Schiebekettenlayout

```

205 * PORT_01: 00: 0
206 * PORT_02: 00: 0
207 * PORT_03: 02: 0
208 * PORT_04: 02: 0
209 * PORT_05: 02: 0
210 * PORT_06: 04: 0
211
212 ATTRIBUTES: IAP_SCAN_CLOCK OF TCK : SIGNAL IS (2,MODE#0). INTRN;
213 ATTRIBUTES: IAP_SCAN_IN OF TDI : SIGNAL IS INTRN;
214 ATTRIBUTES: IAP_SCAN_HOLD OF TRD : SIGNAL IS TRD;
215 ATTRIBUTES: IAP_SCAN_OUT OF TDO : SIGNAL IS TRD;
216
217 ATTRIBUTES: COMPLIANCE PATTERNS OF CION : ENTRY IS
218 * TEST_150: 150: 0
219
220
221
222 -- Compliance Patterns
223 ATTRIBUTES: INSTRUCTION LENGTH OF CION : ENTRY IS 4;
224
225 ATTRIBUTES: INSTRUCTION SPEECH OF CION : ENTRY IS
226 * BYPASS (1111): 0
227 * TESTEN (1000): 0
228 * SAMPLE (1101): 0
229 * HOLDEN (1100): 0
230 * FINISH (1011): 0
231 * WAKE (0001): 0
232 * CLAMP (0010): 0
233 * TESTEN (1000): 0
234 * SORTEN (1100): 0
235
236 -- Endtest (22 bit)
237
238 ATTRIBUTES: INSTRUCTION CAPTION OF CION : ENTRY IS
239 * "0101";
240
241 ATTRIBUTES: INTRN REGISTER OF CION : ENTRY IS
  
```

Ausschnitt aus einer BSDL-Datei

1. Bauelementeauswahl

Für höchste Testabdeckung sollten so viele Boundary Scan ICs (integrierte Schaltkreise) wie möglich eingesetzt werden. Zum einen ergibt sich daraus eine höhere Testabdeckung, da größere Bereiche von durch Boundary Scan prüfbar Pins erreicht werden, zum anderen erreicht man eine genauere Diagnose, wenn mehrere solcher Pins in einem Netz vorhanden sind.

Woher wissen Sie, ob Ihr Bauelement durch Boundary Scan prüfbar ist? Sehen Sie dazu in das Datenblatt des Bauelements und achten Sie auf Hinweise zur IEEE-1149.1-Standardkonformität.

2. Layout der Schiebekette

Verbinden Sie die Boundary Scan ICs zu einer oder mehreren Scanketten. Achten Sie dabei auf korrektes Layout und Terminierung der Testbussignale.

3. Rahmenbedingungen

Compliance-Bedingungen legen fest, wie bestimmte Pins beschaltet sein müssen, damit ein Boundary Scan Test möglich ist. Der entsprechende Abschnitt beginnt mit dem Attribut „COMPLIANCE_PATTERNS“ und ist optionaler Bestandteil der BSDL-Datei.

4. Programmierung großer Datenmengen

Oft gibt es Möglichkeiten zur Geschwindigkeitsoptimierung, z. B. durch externen Zugriff auf das Schreibsignal bei der Flash-Programmierung. Ermöglichen Sie diesen Zugriff z. B. durch ein zusätzliches Signal in Ihrem JTAG-Stecker.

5. Zugriff auf nicht durch Boundary Scan prüfbare Strukturen

Viele nicht durch Boundary Scan prüfbare ICs verfügen zumeist über andere Testmethoden, wie z. B. den NAND-Tree-Test. Diese Tests werden über einen Pin ein- oder ausgeschaltet. Verbinden Sie diesen Pin mit einem Boundary Scan IC, um solche ICs in Ihren Boundary Scan Test mit einbeziehen zu können.

Glossar

BGA – Ball Grid Array

Gehäuseform mit kugelförmigen Pins kompakt auf der Unterseite des Chips

BSDL – Boundary Scan Description Language

Sprache zur Beschreibung von Boundary Scan Test Fähigkeiten

IEEE 1149.1 – Boundary Scan Standard

Beschreibt den statischen digitalen Verbindungstest (u. a. den Aufbau der BSDL-Datei)