Testabdeckungsanalyse

Embedded Board Test für Ihre Platine

GOPEL electronic

Enjoy Testing

Funktionsumfang

Einsatzbereiche

- Bewertung der Testtiefe durch Embedded System Access (Boundary Scan, Processor Emulation Test, FPGA Embedded Test etc.)
- Schnellüberblick über testbare Schaltungsbereiche
- Markierung direkt im Schaltplan oder Test Coverage Analyse (als Text oder im Layout)
- Kalkulation der Testabdeckung
- Einsparung von Testpunkten
- reduzierte Nadeln beim ICT
- reduzierte Testzeit beim Flying Probe Test
- vereinfachter Funktionstest

Ablauf

- wir unterschreiben eine Geheimhaltungsvereinbarung
- Sie schicken uns Schaltplan und CAD Daten
- die Daten werden geprüft
- die Analyse wird durchgeführt
- Sie erhalten eine Dokumentation und Vorstellung der Ergebnisse

Ergebnis

Datenformat

Layout

- geeignet sind allgemeine CAD Datenformate, wie z.B. ODB++, NEUTRAL, Altium Designer oder andere

Datenformat

Netzliste/Schaltplan

- Netzliste im ASCII Format, z.B. *.net, *.pcb, *.tgz, etc.
- Schaltplan im PDF-Format

Weitere Datenformate

www.goepel.com/testabdeckungsanalyse

DFT Check

Design for testability

- Schiebekette
- Rahmenbedingungen
- Designempfehlungen

Made in Germany

GÖPEL electronic Enjoy Testing

ISO 9001 zertifiziert

GÖPEL electronic GmbH

Göschwitzer Str. 58/60
07745 Jena/Thüringen

03641 · 6896 701 Fon
03641 · 6896 944 Fax

sales@goepel.com
www.goepel.com

sales@goepel.co.uk sales@goepelusa.com sales@goepel.asia sales@goepel.in