

Die Grenzen von JTAG/Boundary Scan überwinden

Die Komplexität elektronischer Bauelemente und Baugruppen steigt immer weiter an. Ebenso rasant verändern sich Anforderungen an das Testequipment. Lange Zeit waren intrusive Testverfahren, wie zum Beispiel der In-Circuit-Test (ICT), das Maß der Dinge. Gerade bei sinkenden Bauteil- und Baugruppengrößen und gleichzeitig steigenden Bauteildichten stoßen diese Verfahren allerdings an Ihre Grenzen. Aufgrund des kontinuierlich geringer werdenden Testzugriffs wurde die Testelektronik immer mehr auf zu testende Schaltung verlagert. Mit der Einführung der Boundary Scan-Technologie (IEEE Std. 1149.X) und der JTAG-Schnittstelle im Jahr 1990 wurde ein Zugriff geschaffen, der eine im Chip integrierte Pin-Elektronik zum Testen verwendet. Dieses nicht-intrusive Verfahren ist bis heute Basis für zahlreiche Zugriffsmöglichkeiten zum Debuggen, Testen und Programmieren.

Doch selbst der klassische Boundary Scan-Test kann mittlerweile nicht immer allen Anforderungen gerecht werden. Besonders unter Berücksichtigung der Zugriffs- und Testgeschwindigkeit offenbaren sich die Grenzen einer seriellen Schiebekette. GÖPEL electronic hat seit 30 Jahren neue Technologien (weiter-)entwickelt, welche zwar auf dem IEEE 1149.X-Standard beruhen, teilweise aber weit über dessen Leistungsfähigkeit liegen. All diese Technologien und deren Anwendungen werden unter dem Begriff Embedded JTAG Solutions zusammengefasst. Doch welchen Vorteil bieten die erwähnten Technologien gegenüber dem Standard Boundary Scan? Wann reicht dieser nicht mehr aus und welche Anforderungen lassen sich wie am besten umsetzen? Der folgende Artikel schafft einen Überblick über alle Testanforderungen und die dafür geeigneten Teststrategien.

Die 3 Säulen als Gerüst

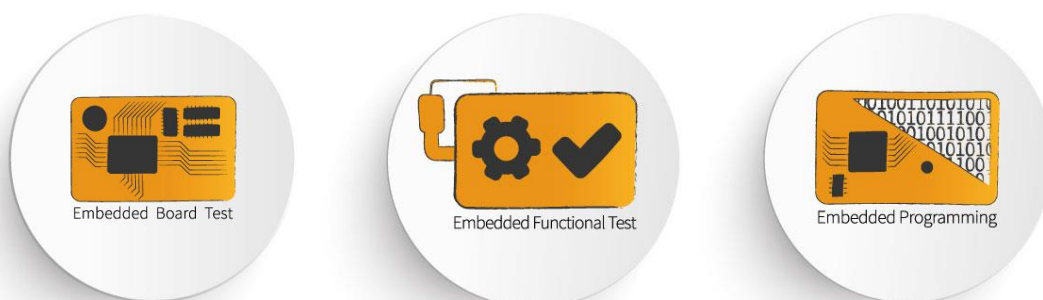


Abb.1: Die drei Säulen der Embedded JTAG Solutions

Um die Einordnung zu erleichtern hilft es, die verschiedenen Technologie- und Einsatzgebiete als Säulen darzustellen. Entsprechend ihrer Anwendung tragen sie die Bezeichnungen Embedded Board Test,

Pressekontakt / Press Contact:

GÖPEL electronic GmbH
Matthias Müller
Göschwitzer Straße 58/60
07745 Jena

Tel.: +49 (0)3641-6896-739
Fax: +49 (0)3641-6896-944
E-Mail: presse@goepel.com
Internet: www.goepel.com

Embedded Functional Test und Embedded Programming. Diese drei Säulen beschreiben konkrete Anwendungsszenarien, denen Anwender täglich in Elektronik-Entwicklung oder –Produktion begegnen. Im Folgenden werden kurze Applikationsbeispiele die drei Säulen konkreter beschreiben. Der grundlegende Ansatz des *Embedded Board Test* bezieht sich auf das Verifizieren von einwandfreien Verbindungen auf dem Prüfling. So ist es möglich, Kurzschlüsse, nicht gelötete Pins oder auch fehlende Pull-Widerstände zu diagnostizieren. Das Potenzial dieses Zugriffs ist aber noch größer: Die Technologien können auch genutzt werden, um einen RAM-Verbindungstest auszuführen. Dabei werden sämtliche Adress-, Daten- und Steuerleitungen mit fest definierten Testmustern angesprochen. Mithilfe dieser Testmuster lassen sich Pin-genaue Fehlerrisikoprüfungen bezüglich der korrekten Verbindung zwischen Controller und RAM-Baustein treffen. Ebenso kann die Verbindung zu externen FLASH Bausteinen und -Elementen mit einem seriellen Interface (z.B.: I²C, SPI, MIDO, ...) überprüft werden. Dazu werden ebenfalls sämtliche Adress-, Daten- und Steuerleitungen angesprochen und so zum Beispiel die Device- und Hersteller-ID ausgelesen und ausgewertet. Auf diesem Weg werden die korrekte Bestückung sowie eine einwandfreie Verbindung verifiziert. Außerdem kommen auf modernen Baugruppen verschiedenste Schnittstellen zum Einsatz. Hier lassen sich beispielsweise digitale, aber auch analoge IOs sowie funktionale Schnittstellen (z.B.: CAN, Ethernet oder USB) mithilfe einfacher Adaptionen testen.



Abb.2: Einsteiger-Set für einfache JTAG/Boundary Scan Anwendungen: SCANBOOSTER II Designer Studio

Heutige Teststrategien erfordern mittlerweile jedoch mehr als das einfache Prüfen von Boardverbindungen. Neben der einwandfreien Kontaktierung müssen vor allem auch die Board- und Bauteilfunktion überprüft werden. Diese Testanforderungen und die dazugehörigen -strategien laufen zusammen unter der Bezeichnung *Embedded Functional Test*. So lassen sich diverse On-Board-Instrumente an-

Pressekontakt / Press Contact:

GOPEL electronic GmbH
Matthias Müller
Göschwitzer Straße 58/60
07745 Jena

Tel.: +49 (0)3641-6896-739
Fax: +49 (0)3641-6896-944
E-Mail: presse@goepel.com
Internet: www.goepel.com

sprechen und auswerten. Lage- und Temperatursensoren, ADCs, DACs und verschiedenste Transceiver verfügen über standardisierte Schnittstellen (z.B. I²C oder SPI) zur Konfiguration. Mit Hilfe von einfachen Lese- und Schreibzugriffen kann die korrekte Funktion dieser Bausteine überprüft werden. Auch On-Chip Instrumente und Schnittstellen können funktional überprüft werden. So werden die Ressourcen auf dem Board genutzt, um zum Beispiel eine USB-Host-Slave-Kommunikation anzustoßen und zu überprüfen.

Mit den Eigenschaften des JTAG/Boundary Scan-Verfahrens ist über die Boundary Scan Ausgangszellen auch Programmierung von Speichern in Entwicklung und Produktion möglich. Durch den Weg über die Scankette ist diese Programmierung jedoch vergleichsweise langsam. Zunehmende Dateigrößen und wachsende Ansprüche an die Programmiergeschwindigkeit stellen hierbei eine große Hürde dar. Neue Technologien haben hier neue Wege geschaffen. Sämtliche Möglichkeiten werden unter *Embedded Programming* zusammengefasst. Vom Programmieren von Seriennummern und Fertigungsdaten bis hin zum Laden von ganzen Firmware-Paketen stellen sich extrem unterschiedliche Anforderungen an den Datendurchsatz. JTAG/Boundary Scan kann dafür genutzt werden, wenn nur kleine Datenmengen programmiert oder keine besonderen Anforderungen an die Testdauer gestellt werden. Bei zunehmender Datengröße oder sinkender Testdauer können alternative Zugriffstechnologien (z.B. die sogenannte VarioTAP zur Prozessoremulation) zum Einsatz kommen. Da nun keine serielle Schiebekette für den Datentransfer genutzt wird, lassen sich deutlich höhere Programmiergeschwindigkeiten erreichen. Die Auswahl der richtigen EJS Technologie richtet sich also ganz nach der geforderten Programmiergeschwindigkeit und dem zu programmierenden Element.

Testen auf jedem Level

Ergänzend zur vertikalen Unterteilung der Anwendungsfelder (wie oben beschrieben) können aus Applikationssicht drei Levels in Bezug auf Geschwindigkeiten unterschieden werden.

Der untere *Standard* Level wird durch den statischen Test definiert. Dieser Standard-Zugriff bezieht sich auf die bekannten Boundary Scan-Testmöglichkeiten. Die Testgeschwindigkeit liegt demnach weit unter der tatsächlichen Boardfunktion. Auf diesem Level finden vor allem die klassischen Verbindungstests statt. Aber auch das Ansprechen von externen Bausteinen, z.B. zum Auslesen einer Bauteilkennung zur Verifikation der korrekten Bestückung, ist auf diesem Zugriffslevel realisierbar. Im Bereich des *Embedded Programming* werden nur niedrige Programmiergeschwindigkeiten erreicht (Bytes/s bis wenige kBytes/s).

Pressekontakt / Press Contact:

GÖPEL electronic GmbH
Matthias Müller
Göschwitzer Straße 58/60
07745 Jena

Tel.: +49 (0)3641-6896-739
Fax: +49 (0)3641-6896-944
E-Mail: presse@goepel.com
Internet: www.goepel.com



Abb.3: Embedded JTAG Solutions Controller „SCANFLEX II“ in Betrieb mit Software SYSTEM CASCON

Im *Boundary Scan Plus* Level werden schon höhere Zugriffsgeschwindigkeiten erreicht. Die Matrix klassifiziert die Testgeschwindigkeit als *At-Speed*. Die Testgeschwindigkeit liegt zwar weiterhin unter der eigentlichen Boardfunktion, ist jedoch deutlich schneller als beim herkömmlichen *Boundary Scan-Test*, sodass wir nicht mehr von statischen Signalen ausgehen. Grundlegend wird jetzt die Testgeschwindigkeit durch den Debugzugriff definiert. So kann zum Beispiel ein RAM-Verbindungstest im *Boundary Scan Plus* Level auch dynamische Probleme an Terminierungswiderständen diagnostizieren. Auch beim Programmieren können durch die Verwendung der VarioTAP, bzw. ChipVORX-Technologie deutlich höhere Geschwindigkeiten erreicht werden (kBytes/s).



Pressekontakt / Press Contact:

GÖPEL electronic GmbH
Matthias Müller
Göschwitzer Straße 58/60
07745 Jena

Tel.: +49 (0)3641-6896-739
Fax: +49 (0)3641-6896-944
E-Mail: presse@goepel.com
Internet: www.goepel.com

Abb.4: ChipVORX Modul zum Test von High-Speed Schnittstellen

Im höchsten *IP Plus* Level werden die höchsten Geschwindigkeiten erreicht. Wir sprechen nun vom Nominal, bzw. Stress Level-Test. Im Nominal-Speed wird mit der Geschwindigkeit der finalen Boardfunktion getestet. Übersteigt die Testgeschwindigkeit die im Regelfall angestrebte Boardfunktion, spricht man vom Stress Level-Test. Die endgültige Spezifikation wird demnach sogar überstiegen. Eine typische Applikation ist zum Beispiel ein Bit Error Rate Test (BERT) an Highspeed-Schnittstellen. Beim Programmieren werden im *IP Plus* Level hohe Geschwindigkeiten erreicht (MBytes/s), indem Programmierdaten auch über Kommunikationsschnittstellen (z.B. Ethernet) übertragen werden können.

Die dargestellten drei vertikalen Säulen und horizontalen Leistungs-Ebenen ergeben vereint eine Matrix, die sogenannte Boundary Scan Plus Matrix. Sie ermöglicht einen Gesamtüberblick über die Embedded JTAG Solutions und ihre Anwendungsfälle.

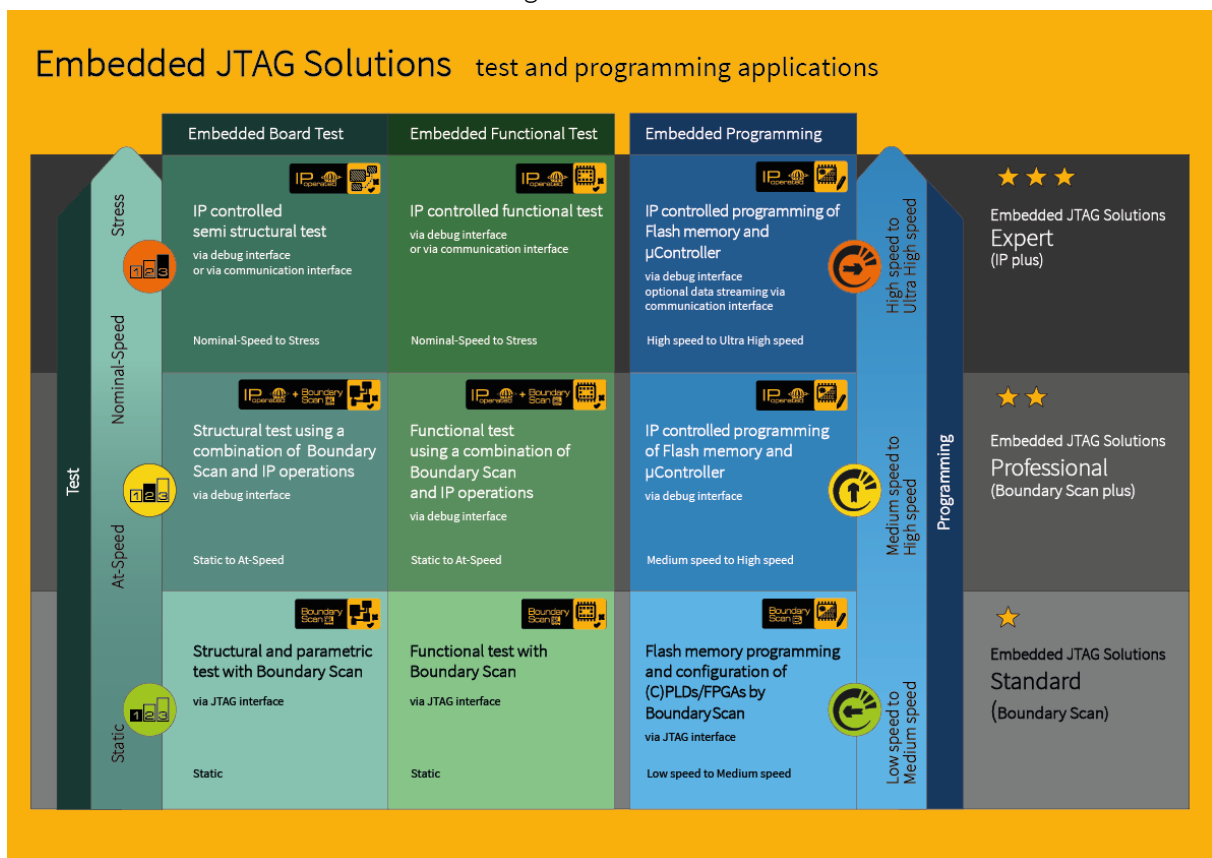


Abb.5: Boundary Scan Plus Matrix

Pressekontakt / Press Contact:

GOPEL electronic GmbH
 Matthias Müller
 Göschwitzer Straße 58/60
 07745 Jena

Tel.: +49 (0)3641-6896-739
 Fax: +49 (0)3641-6896-944
 E-Mail: presse@goepel.com
 Internet: www.goepel.com

Lösungen in jedem Feld

Durch die drei Anwendungsgebiete und drei Zugriffslevel der EJS-Technologien ergeben sich insgesamt neun Anwendungsfelder. Hinter jedem Feld verbergen sich ganz bestimmte Anforderungen und Lösungsansätze. Durch eine genaue Analyse des Prüflings und der Testspezifikation kann im ersten Schritt ganz klar definiert werden, in welchen Bereichen das Testsystem konzipiert werden muss. Diese Einordnung vereinfacht letztendlich die Auswahl des richtigen Testequipments, sowie der Auswahl der durchzuführenden Testroutinen. Die Boundary Scan Plus Matrix bietet damit einen idealen Überblick für sämtliche EJS-Technologien, die mittlerweile weitaus mehr bieten, als nur den einfachen JTAG-Zugriff.

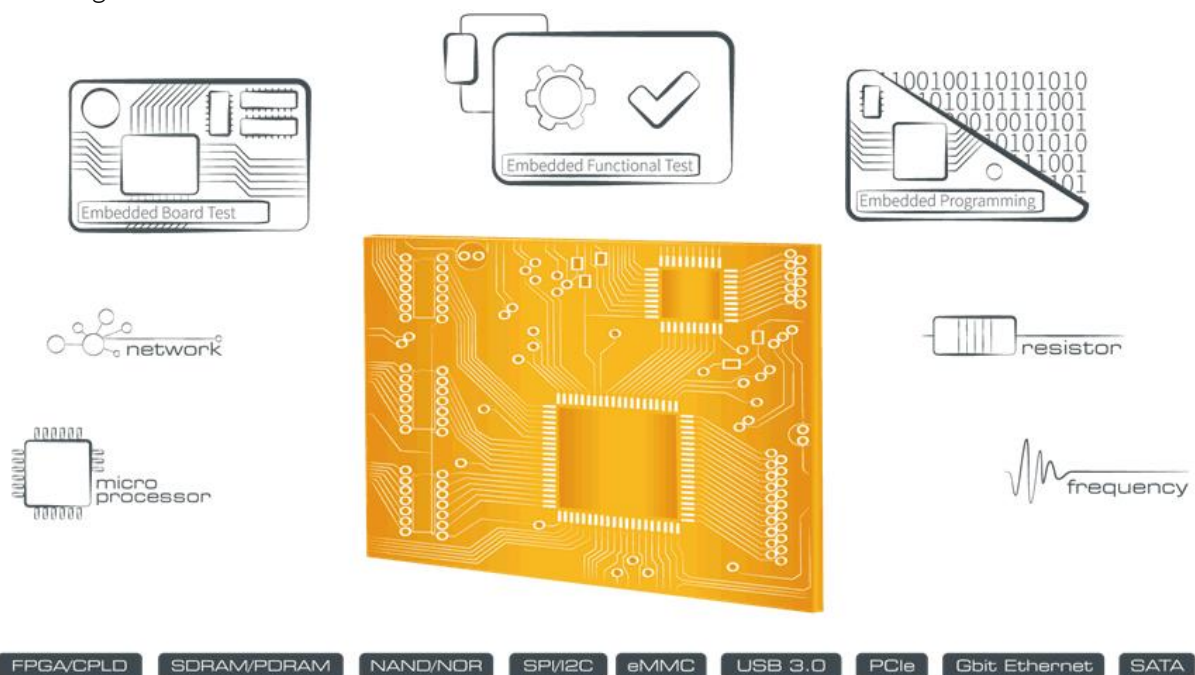


Abb.6: Beispielhafte Darstellung von Anwendungsmöglichkeiten innerhalb der Embedded JTAG Solutions und der Boundary Scan Plus Matrix

Autoren:

Alexander Labrada Diaz, Applikationsingenieur Embedded JTAG Solutions, GÖPEL electronic GmbH
Matthias Müller, Public Relations Manager, GÖPEL electronic GmbH

Pressekontakt / Press Contact:

GÖPEL electronic GmbH
 Matthias Müller
 Göschwitzer Straße 58/60
 07745 Jena

Tel.: +49 (0)3641-6896-739
 Fax: +49 (0)3641-6896-944
 E-Mail: presse@goepel.com
 Internet: www.goepel.com