

Thomas Wenzel (t.wenzel@goepel.com)
Sven Haubold (s.haubold@goepel.com)

Automatischer Boardtest made by FPGA

Field Programmable Gata Arrays (FPGA) finden aufgrund ihrer Flexibilität und der ständig steigenden Leistungsfähigkeit immer weitere Verbreitung beim Design moderner Systemlösungen. Neueste Entwicklungen mit Multi-Core Features und Hochleistungs-GBit Interfaces befeuern diesen Trend nachhaltig. Aus testtechnischer Sicht bieten aber FPGA noch weit mehr Möglichkeiten als die reine Applikationsrealisierung. So können sie z.B. auch zu Design-Embedded Testzentren umfunktioniert werden um Prototypen zu validieren, oder im Rahmen von Produktionstests dem Fehlerteufel auf die Spur zu kommen. Allerdings bedarf es zur vollen Ausschöpfung des Potentials derartiger Teststrategien entsprechend leistungsfähiger Werkzeuge zur durchgehenden Prozessautomatisierung.

Gute Testaussichten dank FPGA embedded Instruments

Steigende Komplexität und Geschwindigkeit moderner Elektronikeinheiten führen zu immer größeren Problemen bei der Testbarkeit. Insbesondere bereitet der erodierende mechanische Testzugriff beim Einsatz konventioneller Test- und Messgeräte zunehmend Probleme. Ein Ausweg aus diesem Dilemma bietet der Einsatz von Chip embedded Instruments, wobei gemäß Abb.1 insbesondere die FPGA basierenden Instrumente an dieser Stelle im Fokus stehen sollen.

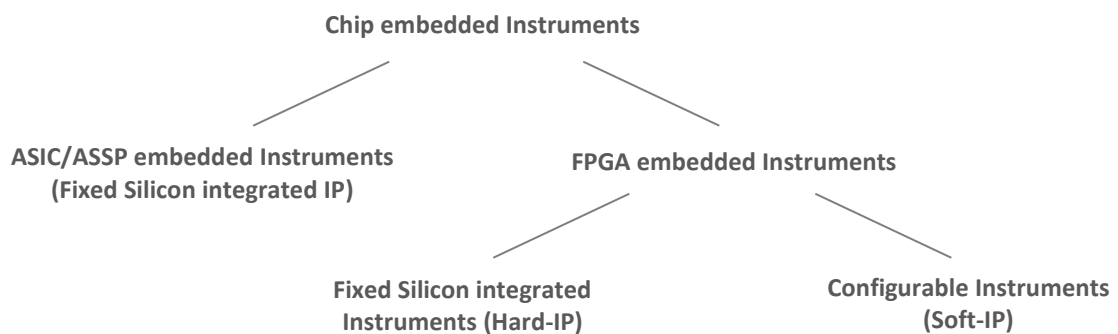


Abb.1: Klassifizierung von embedded Instruments

Im Unterschied zu externen Geräten, sind die embedded Instruments auf Chip-Ebene direkt in der nativen Schaltungsumgebung integriert. Dadurch wird das Hauptproblem des mechanischen Zugriffs auf sehr elegante Art gelöst. Ein mühevolleres invasives Probing von Fine Pitch Anschlüssen oder Leiterbahnen wird damit überflüssig. Darüber hinaus ergeben sich in diesem Zusammenhang jedoch eine Reihe weiterer wichtiger Vor- und Nachteile:

- Das Instrument sieht das reale intrinsische Signal im Silizium
- Signalverfälschungen durch mechanische Antastung werden ausgeschlossen
- Instrument und Test-Target sind fest verbunden
- Die Leistungsfähigkeit des Instruments ist an die Parameter des Siliziums gebunden
- Die Mächtigkeit eines embedded Instruments ist nicht unlimitiert definierbar
- Embedded Instruments sind grundsätzlich auf eine bestimmte Anwendung optimiert
- eine parametrische analoge Qualifizierung von Eingangssignalen ist bei embedded Instruments durch die typischerweise vorhandenen Digital-Receiver nicht gegeben

Damit wird klar, dass embedded Instruments niemals an die Flexibilität und vom Target unabhängige, universelle Analysefähigkeiten eines Stand-Alone Gerätes heranreichen, sehr wohl aber eine bestimmte Aufgabe effizient, performant und mit hoher Präzision abdecken können.

Die Integration von Instrumenten ins Silizium als Funktions-IP (Intellectual Properties) ist grundsätzlich keine Neuheit und wird als wichtiges Element zum Chiptest schon seit langer Zeit standardmäßig praktiziert. Hier existiert ein breites Portfolio an BIST-IP (Built-In Selftest) für alle möglichen Applikationen wie beispielsweise PLL-BIST, Logic-BIST, Memory-BIST, usw. Der Einsatz solcher Instrumente zum Boardtest ist dagegen noch recht junger Natur. Erschwerend wirkt sich hierbei die natürliche Trennung von Chip-, und Boardentwicklung aus. Dadurch sind die Nöte und Wünsche der Boardentwickler bei den Chipentwicklern zum Teil gar nicht in vollem Umfang bekannt, oder aber in der Realisierung zu teuer, unter Umständen jedoch auch im geforderten Funktionsumfang gar nicht machbar. Eine bahnbrechende Innovation war in diesem Zusammenhang die Normung IEEE1149.1 (JTAG/Boundary Scan) [1], wo erstmals gezielt Chip-Features für den Boardtest eingeführt wurden. Neuere Standards wie IEEE1687 [2] werden diese Entwicklung verstärken.

Im Kontext dieser Gesamtsituation sind FPGA für Testingenieure ein wahrer Segen. Durch ihre Programmierbarkeit wird die Abhängigkeit von fest vorgegeben Instrumenten-IP weitestgehend aufgehoben. Dies ermöglicht gemäß Abb.1 eine Transformation von designintegrierten FPGA in eingebettete Multi-Funktions-Testzentren mit konfigurierbaren Instrumenten.

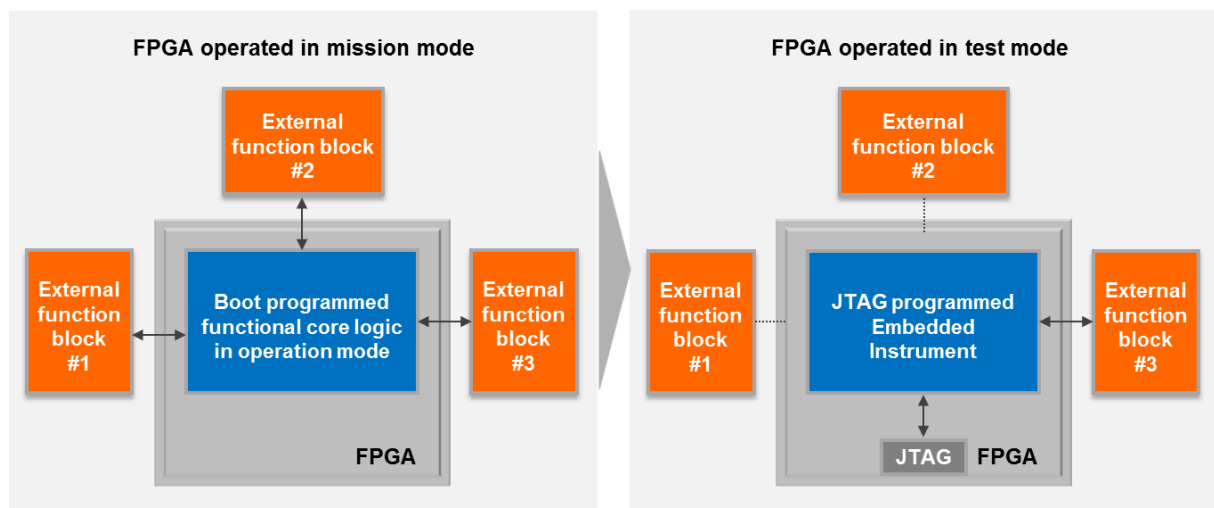


Abb.2: Beispielhafter Einsatz eines Embedded Instruments im Testmode

Die Programmierung des FPGA findet hierbei über den standardmäßigen JTAG-TAP (Test Access Port) statt, welcher auch für Boundary Scan verwendet wird. Durch diese Synergie ist keinerlei zusätzliche Infrastruktur auf dem Board notwendig.

Gleichzeitig dient der JTAG Port auch als Steuermedium für das Instrument-IP, da alle führenden FPGA-Anbieter standardmäßig ein Mapping von kundenspezifischen Designs in die JTAG-Registerstruktur ermöglichen.

Während beim Chiptest oftmals eine schnelle GO/NOGO Aussage als Testresultat ausreicht, sieht das beim Boardtest völlig anders aus. Hier ist typischerweise eine detaillierte Pin-Level Fehlerdiagnose als Reparaturinformation gefragt. Insofern sind auch die IP-Anforderungen in puncto Funktionsumfang, Steuerbarkeit und Testdatendurchsatz anderen Kriterien unterworfen und der Gesamttablauf wird komplexer. Dabei lassen sich gemäß Abb.3 drei Phasen unterscheiden.

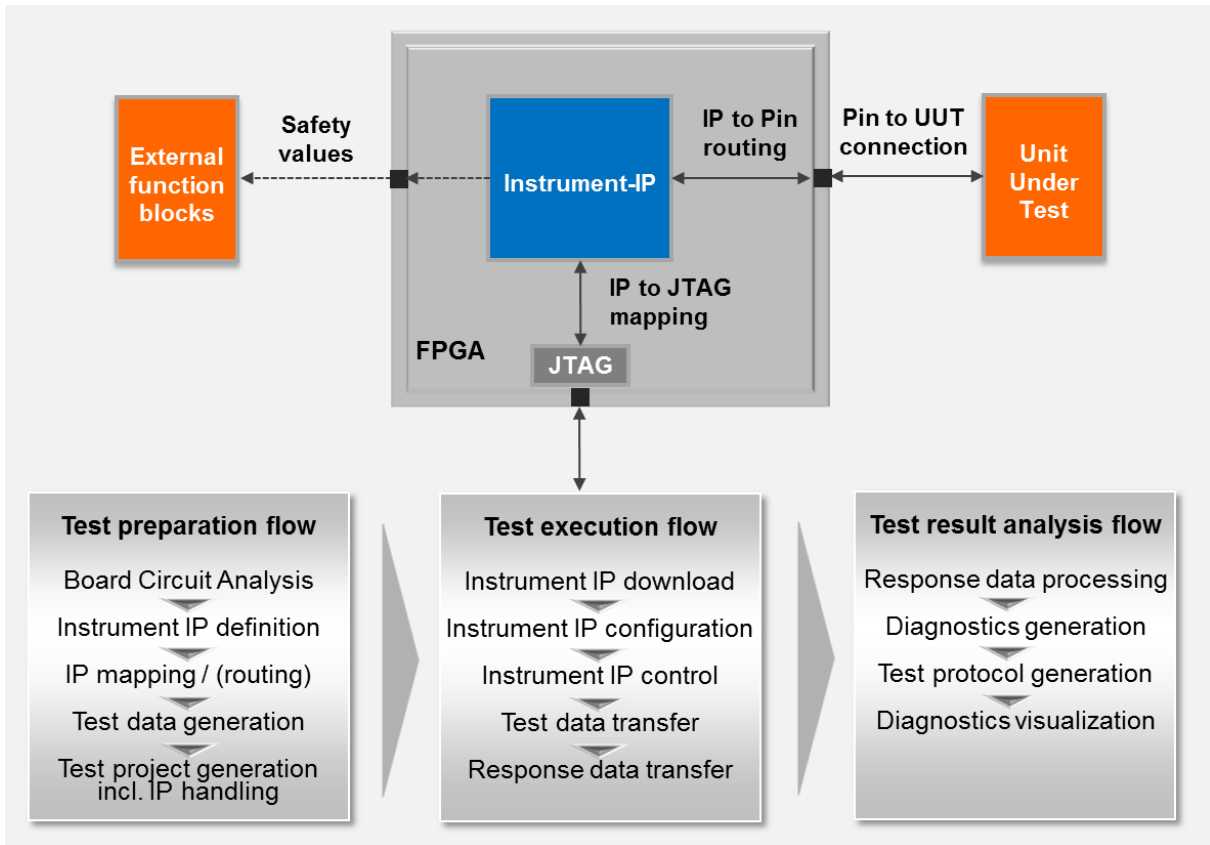


Abb.3: Typischer Prozessfluss beim Einsatz von FPGA embedded Instruments

In der Phase der Projektvorbereitung werden quasi das Testequipment und das Testprogramm spezifiziert. Dieser Schritt muss spezifisch auf die Anforderungen der Unit Under Test (UUT) fokussiert sein, wobei auch das Guarding der restlichen, am FPGA angeschlossenen Schaltungsteile und des gesamten Boards sichergestellt werden muss. Ansonsten könnten undefinierte Zustände den Test beeinflussen, oder im Extremfall sogar Zerstörungen hervorrufen.

Im zweiten Schritt erfolgt die Testausführung. Hierzu gehören auch die Initialisierung des gesamten Instrumenten-IP, sowie das Anlegen der Guarding-Pegel.

Der dritte Schritt ist die Analyse der Testresultate, einschließlich der Diagnosegenerierung und Fehlervisualisierung.

Abhängig von der Art und Zielstellung des Tests, kann der Prozessfluss auch leicht variieren. Das hängt zum einen von der gewünschten Diagnostiefe ab, andererseits spielen aber auch das eingesetzte Testequipment und die gewählte Gesamtstrategie zur Realisierung des FPGA embedded Instruments eine Rolle.

Automatisierung macht den Unterschied

Während der Einsatz von FPGA embedded Instruments auf den ersten Blick relativ trivial und geradlinig erscheint, führt eine genauere Analyse, gemäß Abb. 3, zu einer ganzen Reihe von Einflussfaktoren und grundlegend zu treffenden Entscheidungen. Die wichtigsten sind:

- Wie erfolgt die Erkennung der FPGA zu UUT Topologie?
- Wer liefert das Instrument-IP?
- Wie wird das JTAG-Mapping durchgeführt?
- Wie erfolgt die IP zu Pin Konfigurierung?
- Wie wird die IP-Ansteuerung realisiert?
- Wer erzeugt die Testdaten und die Guarding-Vektoren?
- Wie erfolgt die Gesamtprojekterstellung?
- Wie erfolgt die Diagnose?
- Wie groß ist der Zeitaufwand für die komplette Projekterstellung?
- Welche FPGA-Design Kenntnisse und Tools sind notwendig?

Die Bandbreite der Antworten kann in der Praxis sehr groß ausfallen und zieht auch gravierende Unterschiede in den anfallenden Aufwendungen nach sich. Unter dem Blickwinkel der Automatisierung ergibt sich jedoch gemäß Tab.1 in groben Zügen eine Einteilung in 3 Kategorien.

Einflussfaktor	Grad der Automatisierung		
	Manuell	IP Zugriffs-Lösung	Prozess-Automation
Erkennung der FPGA zu UUT Topologie	Manuelle Analyse	Manuelle Analyse	Automatisches Analyse Werkzeug
Bereitstellung IP	Manuelle Entwicklung	Nutzung vordefinierter Funktions-IP	Bestandteil der Systemlösung
IP Mapping	Manuelles Mapping	Pre-Mapped IP	Pre-Mapped IP
IP zu Pin Konfigurierung	Manuelles Routing	Manuelles Routing	Automatisches Routing
IP Ansteuerung	Komplett manuelles Scripting	Nutzung vordefinierten Zugriffs-Macros	Automatisches Scripting
Testdaten und Guarding-Vektor Generierung	Manuell	Manuell	Automatischer Test Programm Generator
Erstellung des Gesamtprojektes	Manuell	Manuell	Automatisch
Diagnosegenerierung	Manuell	Manuell	Automatischer Diagnose-Generator
Zeitaufwand für gesamte Projekterstellung	Mehrere Tage bis mehrere Wochen	Mehrere Tage bis mehrere Wochen	Minuten Bereich
Notwendige FPGA-Design Kenntnisse und FPGA Entwicklungs-Tools	Profundes Design-Wissen und komplette Tool-Chain	Profundes Design-Wissen und komplette Tool-Chain	keine

Tab.1: Charakterisierung diverser Implementierungsstrategien für FPGA embedded Instruments

Bei der rein manuellen Implementierung werden sowohl das IP, als auch die notwendigen Prozessschritte durch den Anwender vorgenommen. Dies erfordert umfassendes Design-Wissen über den Target-FPGA, als auch die Verfügbarkeit der kompletten Tool-Chain. Der Aufwand einer solchen Strategie kann sehr groß werden, erfordert jedoch nur minimale Investitionen. Im Endeffekt entsteht eine vollständig applikationsspezifische Lösung.

Eine weitere Variante ist der Einsatz von vorkonditionierten IP Zugriffslösungen. Bei dieser Variante kommt eine Art IP-Kit von einem Systemanbieter zum Einsatz. Das IP beinhaltet die reine Instrumentenfunktion und auch das JTAG-Mapping. Ausserdem gehören vordefinierte Zugriffsroutinen wie Read-, und Write Prozeduren z.B. auf Basis von Tcl (Test Command Language) zum Lieferumfang. Durch den Einsatz solcher kommerziell verfügbaren Lösungen verkürzt sich die Projektentwicklungszeit. Sie bieten auch den Charme relativ überschaubarer Investitionen, obwohl die Lizenzierungskosten eines IP bereits recht hoch sein können. Das hängt unter anderem auch mit einer oftmals notwendigen Volumenlizenz zusammen. Dennoch müssen viele Prozessschritte auch bei dieser Variante manuell getätigt werden.

Die dritte Kategorie ist eine komplette Systemlösung auf Basis eines Frameworks mit durchgehender Prozessautomatisierung wie sie z.B. ChipVORX® [3] von GÖPEL electronic repräsentiert. Hierbei übernehmen Analysatoren, Konfigurationstools und Generatoren die Arbeit des Designingenieurs und des Testingenieurs fast vollständig. Basis dieser Vorgehensweise sind die CAD-Daten des Boards und eine IP-Library. Die Adaption des IP auf das Target erfolgt ohne manuellen Eingriff. Automatische Test Generatoren und Diagnoseprozessoren machen die Systemlösung komplett. Der Aufwand zur Projekterstellung liegt typischerweise im Minutenbereich und der Anwender braucht keinerlei spezielle FPGA-Tools oder Designerfahrung. Durch die Integration von ChipVORX in die Systemplattform SYSTEM CASCON [4], ist auch ein Mix von FPGA embedded Instruments Applikationen mit anderen embedded Board Test Prozeduren wie Boundary Scan, oder Prozessoremulation problemlos möglich.

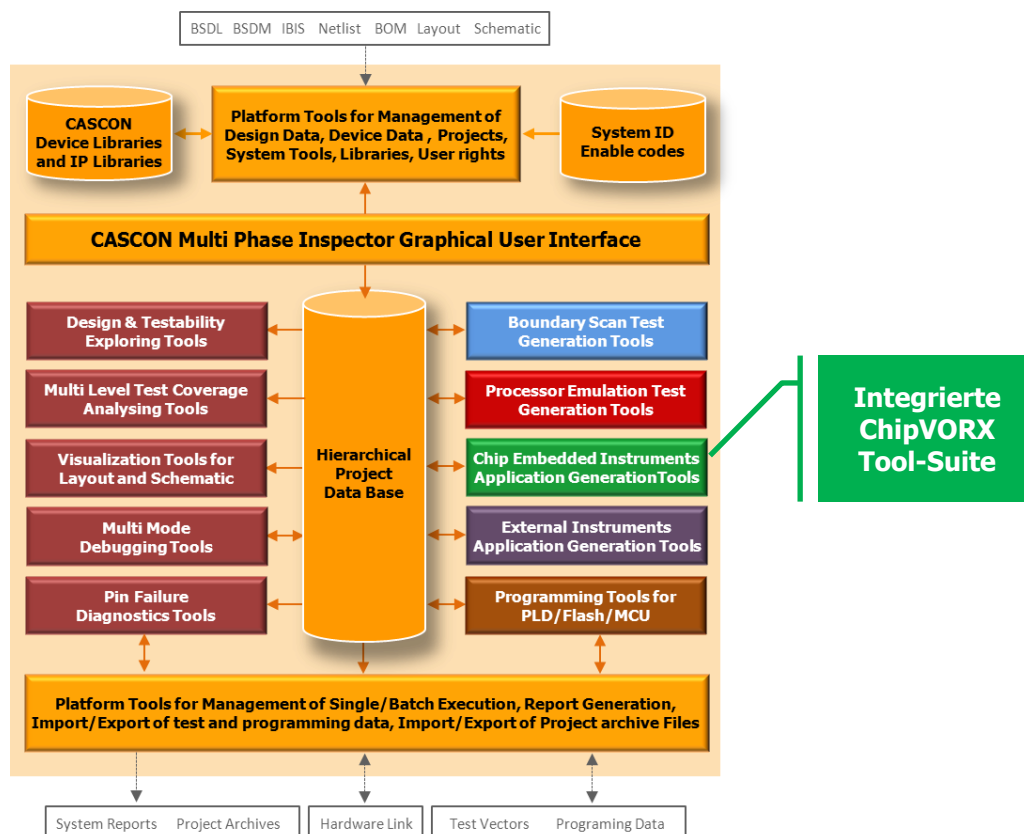


Abb.4: Architektur von SYSTEM CASCON mit integrierter embedded Instruments Tool-Suite

Viel Freude am Testen und Programmieren

Durch den mittlerweile verfügbaren Automatisierungsgrad von FPGA embedded Instruments zum Boardtest haben sich das Interesse und die Zahl der Applikationen in den letzten Jahren rasant vermehrt. Dabei geht es gemäß Tab.2 nicht nur um höhere Testabdeckung, sondern auch um schnellere Flash Programmierung und bessere Möglichkeiten zur Validierung von embedded Systems, wo kein physikalischer Zugriff mehr möglich ist.

Applikationsschwerpunkt	Zielstellung	Bemerkung
High Speed Flash In-System Programmierung	Programmierung von seriellen Flash (SPI, I2C), FPGA Boot-Flash, parallelen Flash (NOR, NAND)	Bis zu 100 mal schneller als z.B. Boundary Scan
RAM Test	Test der Verbindungen zwischen FPGA und RAM (sRAM, dRAM...)	Höhere Testgeschwindigkeit als Boundary Scan, aber gleiche Pin-Level Diagnose
Frequenz-Messung	Überprüfung von Clock-Signalen (Single ended, differential)	Instrument ist auch zur Toggle-Erkennung einsetzbar
LAN Test	Test der Verbindungen zwischen FPGA und externen MAC/PHY	Protokoll basierender Funktionstest
Bit Error Rate Test (BERT)	Test von Gigabit Verbindungen, incl Augendiagramm-Visualisierung	Support für parallele Übertragungskanäle wie z.B. PCIe x16

Tab.2: Beispiele von ChipVORX-Applikationen

Der Zugewinn an Testabdeckung kommt insbesondere durch die höhere Geschwindigkeit der Instrumente zustande. Dadurch können Probleme, wie sie z.B. der Boundary Scan durch die geringe Vektorfolgefrequenz hat, aufgelöst werden. Das betrifft insbesondere die Flash-Programmierung aufgrund der immer massiver werdenden Datenvolumen, aber auch den Test neuer DDR-RAM Typen, da hier gewisse dynamische Mindestanforderungen einzuhalten sind. Insofern sind FPGA embedded Instruments eine ideale Ergänzung für den embedded Board Test via Boundary Scan.

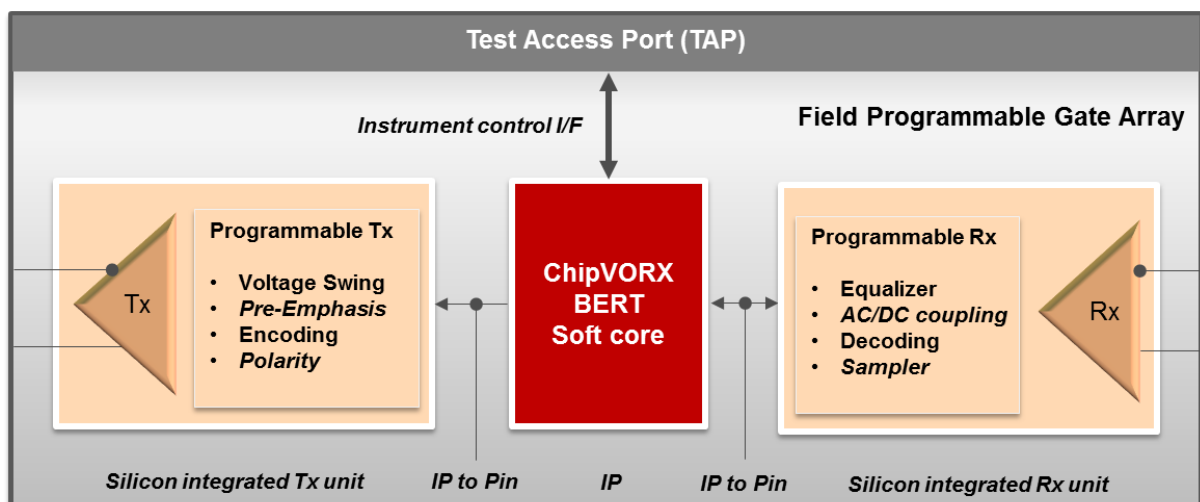


Abb.5: Typische Architektur eines ChipVORX BERT-IP

Etwas anders sieht die Situation bei Bit Error Rate Tests (BERT) für GBit-Links aus, welche nur mit nominaler Betriebsgeschwindigkeit, bzw. unter Stresskonditionen durchführbar sind. Eine rein numerische Beurteilung der Übertragungsqualität reicht hier nicht aus, es werden auch Augendiagramme benötigt. Um derartige Applikationen zu unterstützen haben die FPGA Anbieter ausgeklügelte Abtastmechanismen (sogenannte Sampler) direkt hinter dem GBit-Receiver fest ins Silizium integriert. In diesem Fall übernehmen die ChipVORX-IP auch die Ansteuerung dieser Instrumente harmonisiert mit der notwendigen Interface-Parametrisierung, sowie den im IP enthaltenen BERT-Patterngeneratoren und Analysatoren (Abb.5). Da sämtliche Tx/Rx-Einstellungen interaktiv, ohne erneute Designsynthese justierbar sind, erhält auch der Designingenieur ein wirksames Mittel zur Link-Validierung.

Zur flexiblen Ablaufsteuerung existieren verschiedene Modi:

- Interaktives Debugging bei der Projekterstellung
- Interaktive Messwertvisualisierung mit Gegenbestätigung im Run-Time Modus
- Standard Run-Time Modus mit numerischem Soll/Ist Vergleich von Messwerten
- Steuerung des Gesamtablaufs durch übergeordnete Instanzen (Systemintegration)

Die Visualisierung von Messwerten erfolgt hierbei in Form von Panels (Abb.6).



Abb.6: Beispiele zur ChipVORX Visualisierung: BERT-Eye (PCIe x4) und Frequenzmessung

Mit den bisher diskutierten Konzepten ist der Einsatz von FPGA embedded Instruments aber noch lange nicht abgehandelt. Über das Prinzip der embedded Testzentren hinaus, lassen sich FPGA auch hervorragend zum Design flexibler, externer Testhardware verwenden. Als Beispiel seien an dieser Stelle die ChipVORX Module (Abb.7) genannt. Die Idee dahinter ist recht einfach. Die Module werden durch Mapping auf das gleiche Beschreibungsniveau wie das zu testende Board gebracht und damit von Seiten der Tools als Einheit verarbeitet. Alle Features und Prozeduren bleiben daher identisch, obwohl es sich um eine externe Zusatzelektronik handelt. Durch entsprechende Konfektionierungsmodule lassen sich auf dieser Basis auch Standardschnittstellen wie PCIe, SATAe oder USB3.0 testen. Für Boundary Scan Zwecke bieten all diese Module auch IEEE1149.1 und IEEE1149.6 [5] Unterstützung.



Abb.7: ChipVORX Module mit integriertem FPGA

Die Ansteuerung dieser Module erfolgt über den normalen Test Access Port, wobei auch mehrere Module gleichen, oder unterschiedlichen Typs kaskadiert werden können. Ein derartiger Testplatz (Abb. 8) lässt sich einfach konfigurieren und unterstützt selbst den Test von Objekten, welche keine On-Board FPGA haben. Darüber hinaus können solche Module auch sehr einfach in Fixtures montiert werden und über Nadeln kontaktierte Testpunkte ansteuern.

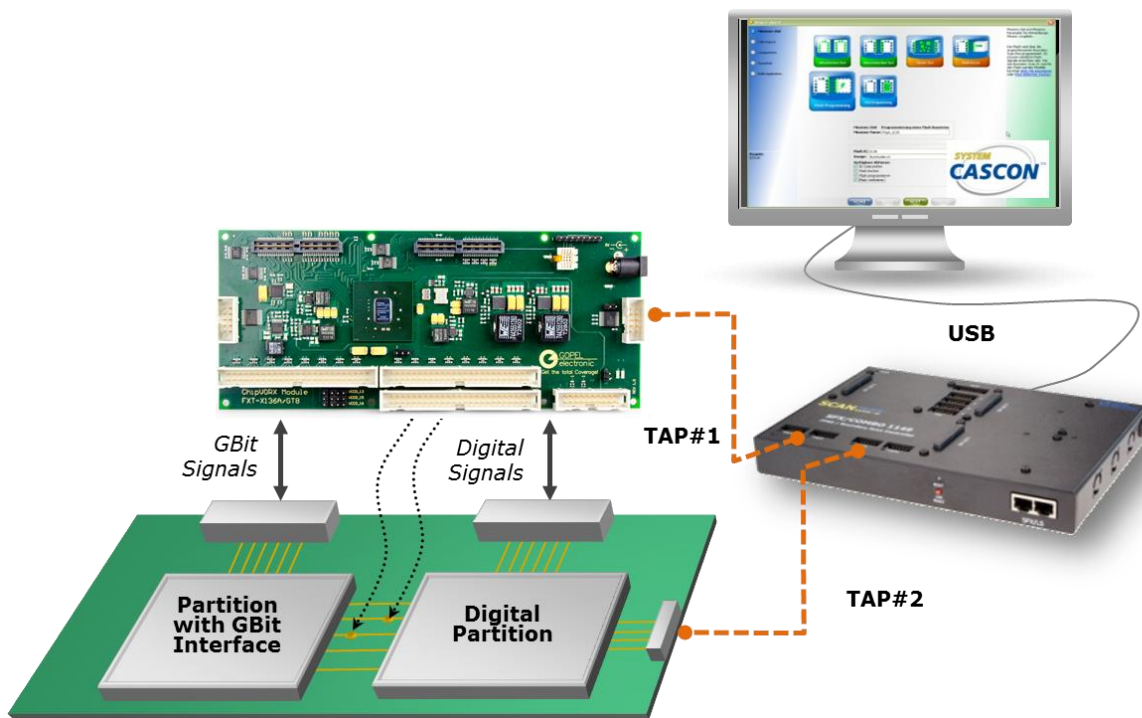


Abb.7: Kompletter Testplatz mit ChipVORX I/O Module

Das eigentliche Nonplusultra für den Produktionstest kommt aber erst durch Kombination sämtlicher embedded Test Verfahren wie Boundary Scan, Processor Emulation Test, In-System Programmierung und FPGA embedded Instruments in einer Umgebung unter Einbeziehung von externen I/O Modulen und weiteren externen Standard-Instrumenten. Dafür sind entsprechend ausgereifte Hardware- und Software-Plattformen wie SYSTEM CASCON unabdingbar. Diese Plattform unterstützt natürlich auch die komplett manuelle Projektentwicklung auf Basis eigener IP und ihre komfortable Ansteuerung auf Sprachniveau.

Zusammenfassung und Schlussfolgerungen

FPGA embedded Instruments bieten als Design embedded Testzentren ein sehr großes Potential zur Verbesserung der Testqualität und der Fehlerabdeckung bei hochkomplexen Elektroniksystemen mit stark reduziertem physikalischem Testzugriff.

Die ständigen Innovationen bei FPGA sichern die Zukunftsfähigkeit derartiger Lösungsansätze für den embedded Test nachhaltig. Auch auf Seiten der Gerätetechnik hat sich in den letzten Jahren sehr viel getan. Der Anwender kann für seine individuellen Bedürfnisse aus einer diversifizierten Anzahl von Lösungsansätzen auswählen. Vor allem die fast vollständig automatisierten Systemlösungen gewährleisten hierbei kürzeste Realisierungszeiten und befreien den Anwender von den Hürden spezifischen FPGA-Wissens und entsprechender Entwicklungswerkzeuge. Das sind insbesondere für EMS Dienstleister sehr wichtige Entscheidungskriterien.

Der Applikationsbandbreite sind bei FPGA embedded Instruments nahezu keine Grenzen gesetzt. Selbst für GBit Links existieren mittlerweile sehr ausgereifte Werkzeuge und das Produktportfolio an IP wird ständig erweitert. Darüber hinaus bieten externe FPGA Module die Möglichkeit die Testbarkeit auf nativem Wege zusätzlich zu verbessern. Wenn dann alle genannten Vorteile noch auf einer Plattform mit weiteren embedded Teststrategien gemixt werden, steht der Freude am Boardtest made by FPGA nichts mehr im Wege.

Quellen

- [1] IEEE Std.1149.1-2013, Standard Test Access Port and Boundary Scan Architecture
- [2] IEEE Std. 1687, standard for Access and Control of Instrumentation Embedded within a Semiconductor Device.
- [3] ChipVORX Technologie, Produktprospekt, GÖPEL electronic, 2015
- [4] Boundary Scan Software SYSTEM CASCON, Produktinformation GÖPEL electronic 2015
- [5] IEEE Std. 1149.6-2015, Standard for Boundary Scan Testing of Advanced Digital Networks