

Testen bei höchsten Geschwindigkeiten: Bit Error Rate Test für Highspeed Schnittstellen in der Produktion

Schnittstellen mit hohen Datenübertragungsraten spielen in nahezu allen Bereichen eine zunehmend große Rolle. Die sogenannten Highspeed Interfaces sind als USB 3.0, SATA oder PCI Express geläufig. Insbesondere in der Automobilindustrie wird mit steigender Beliebtheit auf Schnittstellen dieser Art zurückgegriffen, wenn es wie bei videogestützten Einparkhilfen darum geht, große Datenmengen mit möglichst verzögerungsfrei zu verarbeiten. Auch beim Anschluss externer mobiler Endgeräte sind Schnittstellen mit hohen Übertragungsgeschwindigkeiten erforderlich.

Allerdings stellen die Highspeed Interfaces besondere Anforderungen bezüglich der Testmöglichkeiten. Bislang beschränken sich die Testoptionen im Wesentlichen auf den Einsatz eines Sampling-Oszilloskops in der Entwicklung zum einen, auf den Funktionstest am Ende der Produktion zum anderen. Beide Möglichkeiten besitzen zweifelsohne ihre Daseinsberechtigung und haben ihre technischen Vorzüge – doch stoßen sie auch an ihre Grenzen.

Ein Sampling-Oszilloskop ermöglicht zwar eine genaue Testanalyse, ist aber aus Gründen der Empfindlichkeit und hoher Anschaffungskosten nicht für die Produktion geeignet. Zudem sind die modernen Fehlerkorrekturen der Schnittstellen so gut, dass das auf der Übertragungsleitung beobachtete Signal nur noch bedingt Aussagekräftig ist.

Ein End-of-Line-Funktionstest ist zumeist gleichbedeutend mit einem Systemfunktionstest. Auch dieser Test ist insbesondere in seiner Rolle als Abschlusstest wichtig und nicht ohne weiteres ersetzbar. Die Fehleranalyse wird dabei jedoch durch den Umstand erschwert, dass verschiedene Baugruppen Gegenstand des Funktionstests sind. Ermittelte Defekte lassen sich nur auf fehlerhafte Funktionen, bzw. Teilfunktionen zurückführen. Daraus lässt sich nicht immer auf die fehlerhafte Hardware schließen, was somit die Analyse einschränkt. Hinzukommend kann eine hohe Komplexität von Baugruppen in einem zu prüfenden System gerade am Ende der Produktion die Fehleranalyse verkomplizieren.

An der Stelle setzt die BERT (Bit Error Rate Test) IP für FPGAs an, um diese Lücke zu schließen, indem sie funktionale Tests auf Boardebene mit qualitativer Aussage ermöglicht.

Pressekontakt:

GOPEL electronic GmbH
Matthias Müller
Goeschwitzer Str. 58-60/66
D-07745 Jena

Tel.: +49-3641-6896-739
Fax: +49-3641-6896-944
E-Mail: press@goepel.com
URL: www.goepel.com

GOPEL electronic GmbH • Göschwitzer Str. 58/60 • 07745 Jena, Deutschland

Tel.: +49-3641 - 6896 - 0
Fax: +49-3614 - 6896 - 944
E-Mail: sales@goepel.com
www.goepel.com

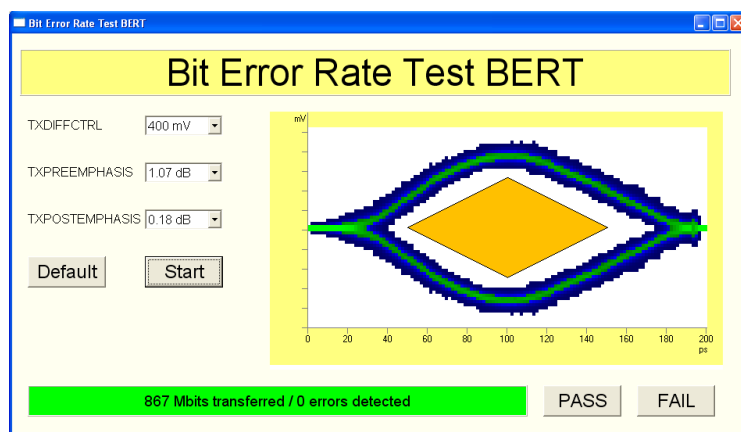
Moderne FPGAs beinhalten Module für Betrieb und Test der Highspeed Interfaces. Die ChipVORX BERT IP von GÖPEL electronic nutzt diese, um den FPGA als lokales Messinstrument einzusetzen. Dieser FPGA wiederum wird von einem Testsystem CASCON kontrolliert.

Die Leistungsfähigkeit des Bit Error Rate Test

Der Test analysiert das empfangene Signal direkt am Highspeed Interface. Je nach Möglichkeiten des Bausteins und des ausgewählten Testmodus kann so einerseits die Bitfehlerrate durch einen Vergleich mit den gesendeten Daten ermittelt werden, andererseits ein grafisches Augendiagramm erstellt werden. Da das für den Test verwendete Signal bereits durch die vorhandenen Fehlerkorrekturen bereinigt wurde, beschreiben die Testergebnisse das effektive Übertragungssignal. So ermöglicht das Augendiagramm eine qualitative Bewertung der Übertragungstrecke aus der Perspektive des FPGA. Dadurch kann man sehen, was das Silizium „sieht“.

In Abhängigkeit vom kundenspezifischen Aufbau des zu testenden Systems ergeben sich verschiedene Möglichkeiten, den Bit Error Rate Test anzuwenden.

Die erste grundsätzliche Angrenzung besteht in den verwendeten Controllern. Dabei ist nicht nur zu unterscheiden, ob ein FPGA oder ein Microcontroller eingesetzt wird, sondern auch, welchen Typs. Das entscheidet auf der einen Seite, ob die BERT IP auf dem Baustein überhaupt betrieben werden kann. Auf der anderen Seite kann eine Aussage getroffen werden, welche Messverfahren neben dem Bit Error Rate Test möglich sind. Das können beispielsweise Sampling-Augendiagramme oder statistische Augendiagramme sein.



Grafik1: Sampling-Augendiagramm

Das klassische Sampling-Augendiagramm stellt den Signalverlauf einer oder mehrerer Perioden auf der Leitung dar.

Pressekontakt:

GÖPEL electronic GmbH
Matthias Müller
Goeschwitzer Str. 58-60/66
D-07745 Jena

Tel: +49-3641-6896-739
Fax: +49-3641-6896-944
E-Mail: press@goepel.com
URL: www.goepel.com

GÖPEL electronic GmbH • Göschwitzer Str. 58/60 • 07745 Jena, Deutschland

Tel.: +49-3641 - 6896 - 0
Fax: +49-3614 - 6896 - 944
E-Mail: sales@goepel.com
www.goepel.com

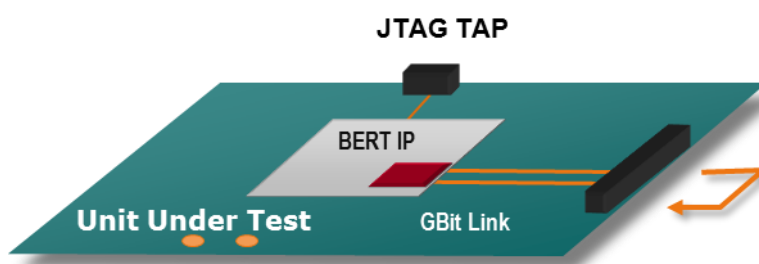


Grafik2: Statistisches Augendiagramm

Das statistische Augendiagramm hingegen stellt die Bitfehler über eine Periode dar, entsteht also aus einer Vielzahl von Bit Error Rate Test Messungen.

Wie oben erwähnt gibt es verschiedene Möglichkeiten des Testaufbaus, in Abhängigkeit vom kundenspezifischen System. Folgende Testsettings sind dabei möglich:

Loopback-Test durch Verbindung der Sendeleitung mit der Empfangsleitung



Grafik3: Loopback-Test-Schema

Sowohl Sende- als auch Empfangsleitung sind miteinander verbunden. Daraus ergibt sich eine Loopback-Schaltung (Schleifenschaltung), bei welcher derselbe FPGA als Sender und Empfänger arbeitet.

Dadurch wird nur dieser Controller mit dem Debuganschluss der zur prüfenden Baugruppe benötigt. Daraus resultiert ein sehr einfacher Testaufbau. Da immer die

Pressekontakt:

GÖPEL electronic GmbH
 Matthias Müller
 Göschwitzter Str. 58-60/66
 D-07745 Jena

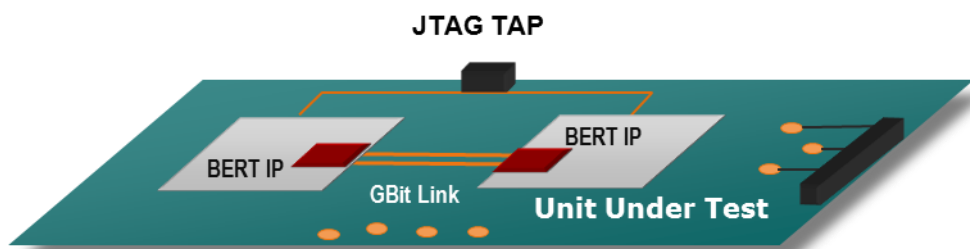
Tel.: +49-3641-6896-739
 Fax: +49-3641-6896-944
 E-Mail: press@goepel.com
 URL: www.goepel.com

GÖPEL electronic GmbH • Göschwitzter Str. 58/60 • 07745 Jena, Deutschland

Tel.: +49-3641 - 6896 - 0
 Fax: +49-3614 - 6896 - 944
 E-Mail: sales@goepel.com
www.goepel.com

komplette Strecke getestet wird, ergeben sich in der Summe kurze Testzeiten in der Fertigung. Allerdings gilt das Ergebnis der Prüfung für die gesamte Übertragungsstrecke. Dadurch können keine Informationen geliefert werden, in welchem Teilbereich genau ein möglicher Fehler seine Ursache hat.

Embedded Peer-to-peer setting



Grafik4: Embedded Peer-to-peer setting

Beide FPGAs befinden sich auf der gleichen Baugruppe und sind mit den entsprechenden Sende- und Empfangsleitungen verbunden und über einen Debuganschluss erreichbar.

Bei dieser Form des Testaufbaus wird jede Übertragungsleitung einzeln getestet. Daraus resultieren die genauesten Testergebnisse. Um diese zu erhalten sind jedoch zwei Debug-Anschlüsse erforderlich. Das kann, je nach Anzahl der zu testenden Leitungen, zu steigenden Testzeiten führen.

Externes Peer-to-peer setting



Grafik5: Externes Peer-to-peer setting

Pressekontakt:

GOPEL electronic GmbH
Matthias Müller
Goeschwitzer Str. 58-60/66
D-07745 Jena

Tel.: +49-3641-6896-739
Fax: +49-3641-6896-944
E-Mail: press@goepel.com
URL: www.goepel.com

GOPEL electronic GmbH • Göschwitzer Str. 58/60 • 07745 Jena, Deutschland

Tel.: +49-3641 - 6896 - 0
Fax: +49-3614 - 6896 - 944
E-Mail: sales@goepel.com
www.goepel.com

Die FPGAs befinden sich auf jeweils einer eigenen Baugruppe und sind jeweils mit einem Debuganschluss verbunden. Die Verbindung der Sende- und Empfangsleitungen wird über die Baugruppenschnittstellen hergestellt.

Vorteil:

Analog zum Embedded Peer-to-peer-Setting sind die Testergebnisse aufgrund der Überprüfung der einzelnen Leitungen am genauesten. Ein solcher Testaufbau ist auch mit einem externen Testmodul anstelle einer zweiten Baugruppe möglich. Damit steigt hingegen auch die Komplexität des Aufbaus, die Zahl möglicher Einflussfaktoren steigt an. Damit verbunden ist ein Anstieg der gesamten Testzeit.

Loopback-Test mit Adapterboard



Grafik6: Loopback-Test mit Adapterboard

Auch in dieser Variante befinden sich die Controller auf jeweils einer eigenen Baugruppe, sind hingegen nur jeweils mit einem Debuganschluss verbunden. Auch hier wird die Verbindung der Sende- und Empfangsleitungen über die Baugruppenschnittstellen hergestellt.

Dieser Test ist dadurch möglich, dass die Standards für die Highspeed-Schnittstellen einen Loopback-Modus vorsehen. Insofern kann die BERT IP in der Testbaugruppe durch eine Loopback-Software ersetzt werden, welche die empfangenden Daten direkt zu dem Testmodul zurücksendet. Dadurch kann die Übertragungsstrecke durch den Baustein auf der Baugruppe hindurch getestet werden.

Vorteilhaft ist dabei, dass die zu testende Baugruppe keinen eigenen Debug-Anschluss benötigt. Jedoch muss die Software auf der UUT den Loopback-Modus unterstützen. Zudem ergeben sich auch bei diesem Aufbau viele mögliche Einflussfaktoren auf das Testsetting, welche berücksichtigt werden müssen.

Grafik6: Testaufbau mit CION LX-Board, SCANFLEX-Controller und PCIe-Adapter

Pressekontakt:

GOPEL electronic GmbH
Matthias Müller
Goeschwitzer Str. 58-60/66
D-07745 Jena

Tel.: +49-3641-6896-739
Fax: +49-3641-6896-944
E-Mail: press@goepel.com
URL: www.goepel.com

GOPEL electronic GmbH • Göschwitzer Str. 58/60 • 07745 Jena, Deutschland

Tel.: +49-3641 - 6896 - 0
Fax: +49-3614 - 6896 - 944
E-Mail: sales@goepel.com
www.goepel.com

Gute Beratung ist das A und O

Um die BERT IPs nutzen zu können ist die Softwareumgebung SYSTEM CASCON notwendig, welche die Steuerung und Auswertung der IP vom PC übernimmt. Testauswahl und Testkonfiguration werden entsprechend in der CASCON-Software getroffen. Neben den spezifischen Testfällen spielt auch immer die Testumgebung eine große Rolle. Je nach verwendeter Schnittstelle kann speziell in der Produktionslinie die Frage der Kontaktierung spezielle Adapterlösungen notwendig machen. Hier ist immer eine spezifisch Analyse und Beratung angeraten um kontinuierliche und verlässliche Testergebnisse zu erzielen.

Fazit

Die Bit Error Rate Test IPs ermöglichen qualitative Tests von Highspeed Schnittstellen auf einer funktionalen Ebene. Die verschiedenen Testarten (wie z.B. Augendiagramme) ermöglichen einen Blick auf die Signale, wie sie tatsächlich bei den entsprechenden FPGAs/Mikrocontrollern ankommen. Insbesondere in der Produktion wird damit eine Qualitätssicherung auf Baugruppenebene möglich, welche durch reine Funktionstests nicht erreichbar ist.

Pressekontakt:

GOPEL electronic GmbH
Matthias Müller
Goeschwitzer Str. 58-60/66
D-07745 Jena

Tel: +49-3641-6896-739
Fax: +49-3641-6896-944
E-Mail: press@goepel.com
URL: www.goepel.com

GOPEL electronic GmbH • Göschwitzer Str. 58/60 • 07745 Jena, Deutschland

Tel.: +49-3641 - 6896 - 0
Fax: +49-3614 - 6896 - 944
E-Mail: sales@goepel.com
www.goepel.com