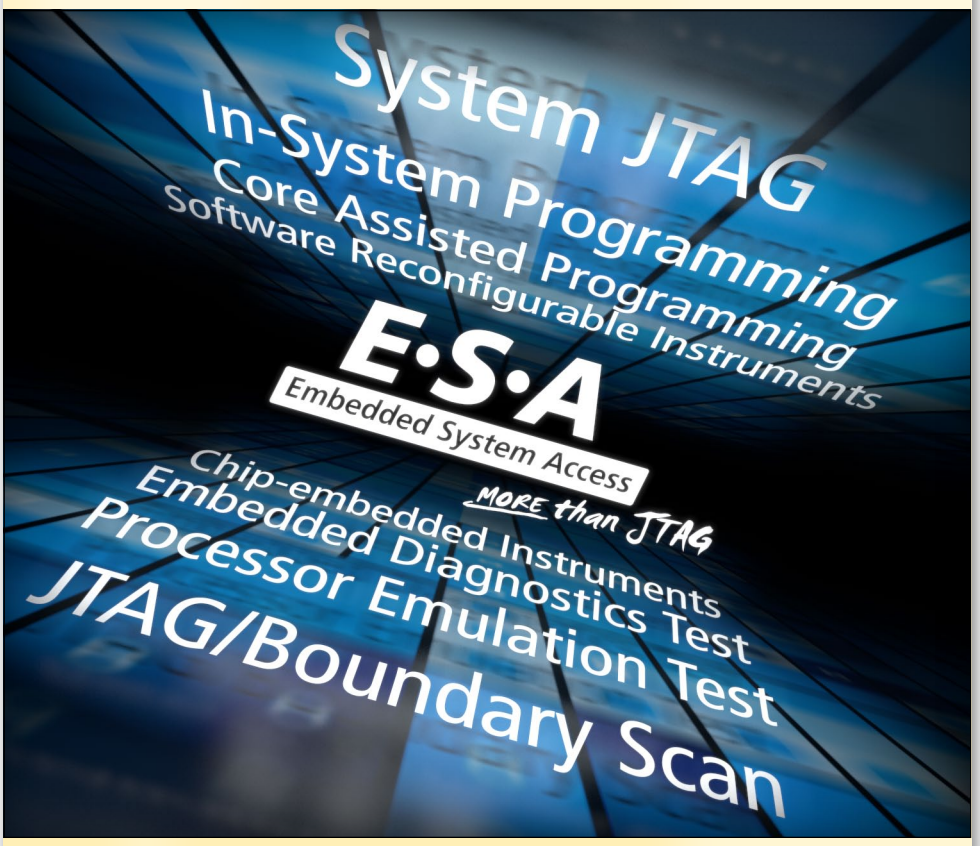
Embedded System Access

Ein Technologieführer



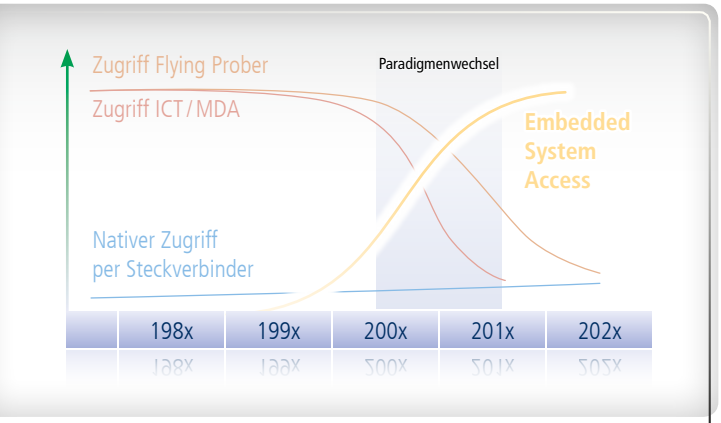
GOPEL electronic

Get the total Coverage!

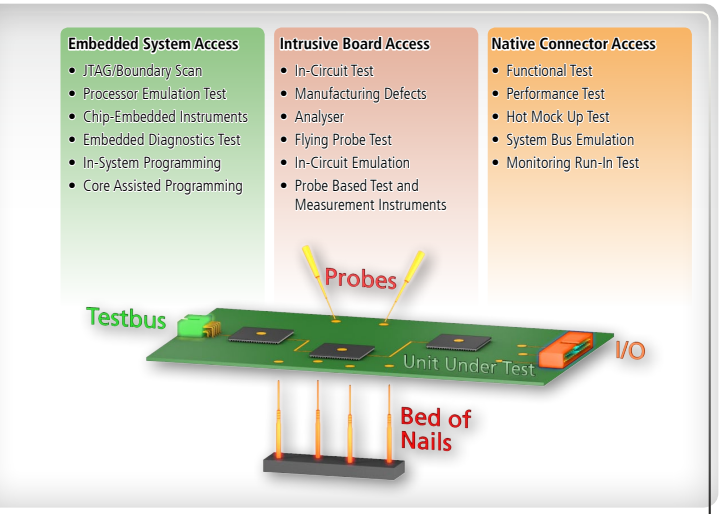
JTAG/Boundary Scan
Neue Dimensionen des Testzugriffs

Der Wandel zum mehrdimensionalen Zugriff

Das Problem des Testens ist so alt wie die Erfindung des Transistors selbst. **Anfangs** wurde ausschließlich über die nativen **Steckverbinder** auf den Prüfling – die Unit Under Test (UUT) – zugegriffen. **Später** dominierte der sogenannte Intrusive Board Access (IBA) in Form des In-Circuit Test (ICT) und des Flying Probe Test (FPT). Diese auf **Nadelkontaktierung** basierenden Strategien sind jedoch **bei modernen Systembaugruppen** mit Ball Grid Array (BGA) und Chip Scale Package (CSP) **nicht** mehr **anwendbar**.



Wandel von der intrusiven Ära zur Ära des Embedded System Access



Klassifizierung der elektrischen Zugriffsstrategien

Der Schlüssel zum Erfolg: design-integrierter Systemzugriff

JTAG/Boundary Scan war der erste Standard, welcher 1990 **den mechanischen** Zugriff **durch** einen direkt in die Schaltung integrierten **elektrischen Zugriff ersetzte**. Aus heutiger Sicht ebnete dieser Standard damit gleichzeitig den Weg für den **Embedded System Access** (ESA). Mittlerweile existiert eine Fülle von weiteren ESA-Technologien und IEEE-Standards, welche einen **massiven Paradigmenwechsel** hin zur Ära des Embedded System Access zum Ausdruck bringen. Dabei sind im Bereich des **Testens** insbesondere folgende ESA-Technologien zu nennen:

- JTAG/Boundary Scan Test (**BST**)
- Processor Emulation Test (**PET**)
- Chip-embedded Instruments (**IJTAG**)
- Embedded Diagnostics Test (**EDT**)

Ihnen gemeinsam ist, dass alle einen seriellen Testbus zur Kommunikation nutzen – ihre Eigenschaften und Wirkprinzipien sind jedoch völlig unterschiedlich.

Eigenschaft	BST	PET	IJTAG	EDT
Testart	strukturell	funktionell	offen*	funktionell
Testgeschwindigkeit	statisch	dynamisch	offen*	Echtzeit
Zugriff über	Boundary-Scan-Schaltkreis	Prozessor	IJTAG-Schaltkreis	Prozessor
Fehlerabdeckung	statisch	dynamisch	offen*	dynamisch
Diagnoseniveau	Pin	Netz/Pin	offen*	Schaltkreis/Netz
Zugehöriger IEEE-Standard	1149.x	1149.7 / ISTO 5001	P1687	-

*abhängig von der Implementierung

Darüber hinaus existieren weitere **ESA-Technologien** speziell zur **Softwarevalidierung** sowie zur **Programmierung** von Flashspeicher, PLDs (Programmable Logic Devices) und Mikrocontrollern (MCU) wie:

- In-System Programming (**ISP**)
- Core-Assisted Programming (**CAP**)
- In-Application Programming (**IAP**)
- FPGA-Assisted Programming (**FAP**)

Fortschritte in den Integrationstechnologien bis hin zu 3D-Schaltkreisen ermöglichen bereits heute die Realisierung ganzer Systeme auf einem Chip als sogenanntes **SoC** (System-on-Chip). Auch hier sind **ESA**-Technologien **unabdingbar**. Diese Situation ermöglicht völlig neue Ansätze **ganzheitlichen Testens**. Dazu gehören:

- Hierarchischer Test (Chip, Board, Unit)
- Produktlebenszyklustest (Labor, Produktion, Feld)
- Systemlevel-Test (System JTAG, **SJTAG**)

Alle Prinzipien beinhalten die Wiederverwendung vorhandener Testprozeduren sowohl mit fortschreitender hierarchischer Integration als auch über alle Produktlebensphasen. Mit SJTAG existiert auch eine spezielle ESA-Technologie zur Integration des Testcontrollers in das zu testende System.

Für eine effiziente Anwendung sind jedoch die Leistungsfähigkeit der genutzten Plattformen sowie die zugrundeliegenden Produkttechnologien entscheidend. Dazu zählt insbesondere die Fähigkeit, ESA-Technologien mit traditionellen Verfahren auf einer mehrdimensionalen Plattform offen miteinander kombinieren zu können.

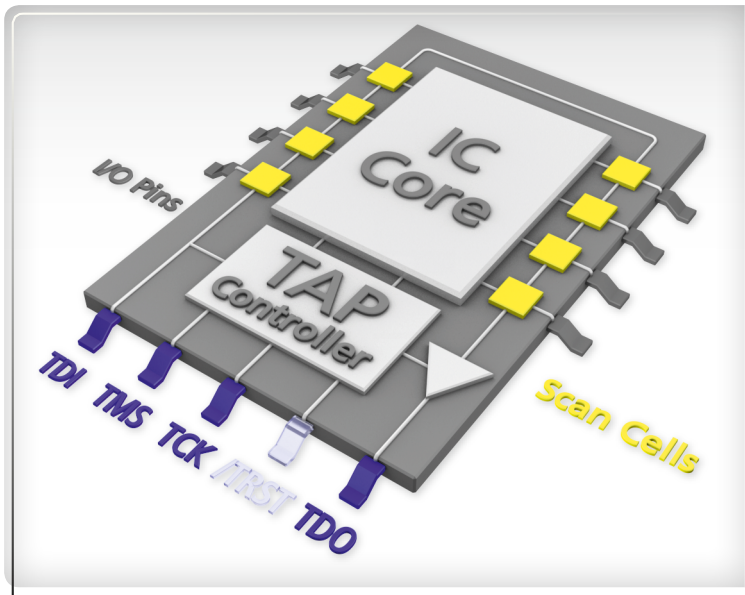
Weitere Informationen zu **Embedded System Access** sowie zu Technologien und Produkten finden Sie unter

goepel.com/**esa**

Testfokussierte ESA-Technologien

JTAG-/Boundary-Scan-Test (BST)

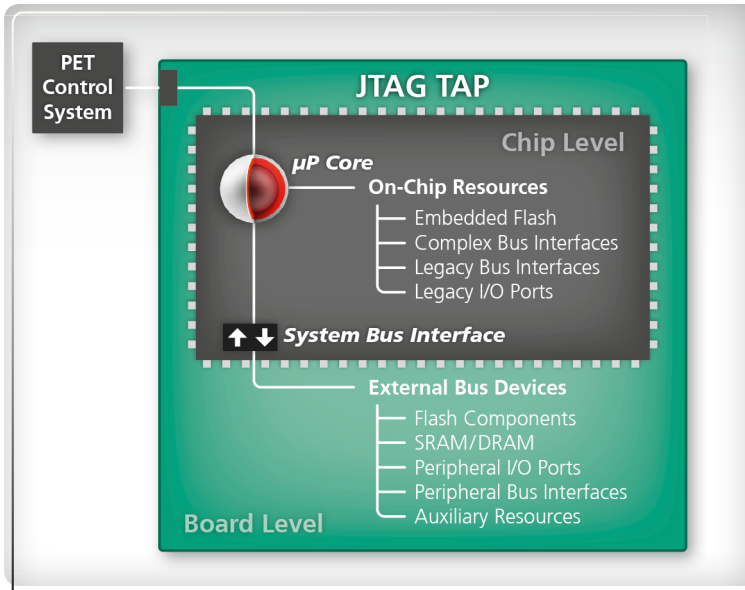
Boundary Scan wurde 1990 als IEEE 1149.1 standardisiert. Die Technologie definiert sogenannte Boundary-Scan-Zellen als die primären Zugriffspunkte auf ein System. Die Gesamtheit der Zellen bildet das Boundary-Scan-Register, welches über einen Test Acces Port (TAP) angesteuert wird. Alle Vektoren werden seriell ein- und ausgeschoben. Der Testbus selbst besteht aus vier Signalen und einem optionalen Reset. Boundary Scan ist ein strukturelles Verfahren und bietet insbesondere beim Verbindungstest von BGA-Pins eine exzellente Fehlerdiagnose. Da die Tests jedoch statischer Natur sind, können dynamische Fehler nicht erkannt werden. Ergänzend zu IEEE 1149.1 existieren mittlerweile eine Reihe weiterer IEEE-1149.x-Standards zur Erhöhung der Fehlerabdeckung.



Architektur eines **Boundary-Scan-Schaltkreises**

Processor Emulation Test (PET)

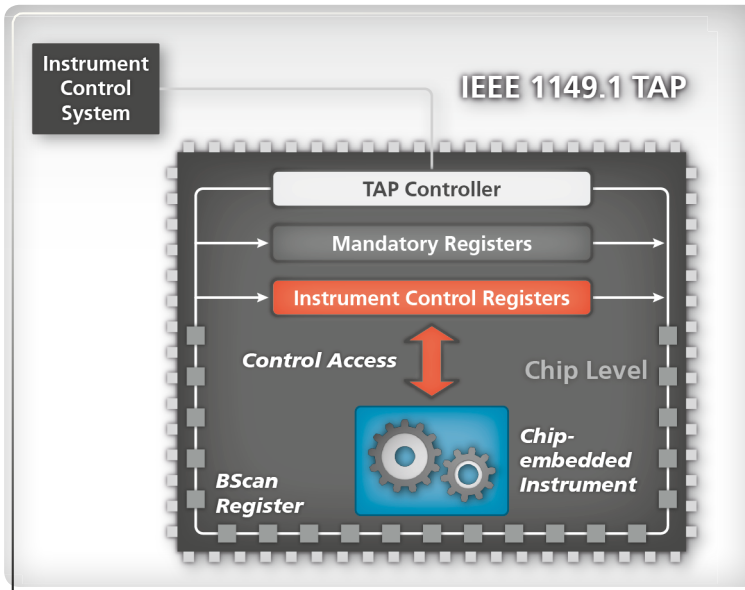
Der **Processer Emulation Test** nutzt das eigentlich zur Softwarevalidierung implementierte Debug-Interface eines Mikroprozessors aus, um den Prozessorkern in einen nativen Testcontroller zu transformieren. Damit wird der Prozessor selbst zum Zugriffspunkt auf das System. Ferngesteuert über JTAG oder andere Debug-Interfaces ist er dann in der Lage, sämtliche an seinen Systembus angeschlossenen internen oder externen Ressourcen anzusteuern und einzeln über entsprechende Testvektoren in Form von Schreib- und Lesezugriffen zu testen. Ein Betriebssystem oder eine Flash-Firmware sind nicht notwendig. Die Technologie ermöglicht die Abdeckung sowohl statischer als auch dynamischer Fehler. Sie ist durch den funktionalen Ansatz jedoch in der Diagnosetiefe eingeschränkt. Die PET-Technologie ergänzt Boundary Scan hervorragend und ermöglicht insbesondere den Test von dynamischen Komponenten wie DDR-SDRAM, Gigabit-Interfaces und anderer nicht scanbarer Komponenten auf Chip-, Board- und Unit-Level.



JTAG-Steuerung des nativen **Mikroprozessors als Testzentrum**

Chip-embedded Instruments (IJTAG)

Chip-embedded Instruments sind im Grunde genommen im Schaltkreis integrierte Test- und Mess-IPs (Intellectual Properties), welche über den Testbus angesteuert werden. Ihre Funktionalität ist völlig offen und reicht von simplen Sensoren über komplexere Signal- und Datenerfassung bis hin zu kompletten Analyseinstumenten oder Programmgebern. Die IPs selbst sind entweder fest in einem Chip integriert (Hardmakro), können aber auch auf Basis von Field Programmable Gate Arrays (FPGA) temporär im System aktiviert werden (Softmakro). Diese spezielle Form wird auch als **FPGA-Assisted Test** (FAT) bzw. **FPGA-Assisted Programming** (FAP) bezeichnet. Chip-embedded Instruments werden bereits seit vielen Jahren im Bereich des Chiptests z. B. in Form von Built-in-Selftest-IP eingesetzt. Ein weiteres Beispiel sind die zur Designvalidierung in FPGA integrierten Logic Scopes. Allerdings waren bisher all diese IPs zugriffsseitig nicht standardisiert, was der derzeit in Entwicklung befindliche Standard IEEE P1687 (IJTAG) ändern wird. Vor allem im Bereich der Gigabit-Analysen sind damit normierte Chip-embedded Instruments eine Alternative zu den traditionellen Test- und Mess-Instrumenten mit ihren zunehmenden Zugriffsproblemen.

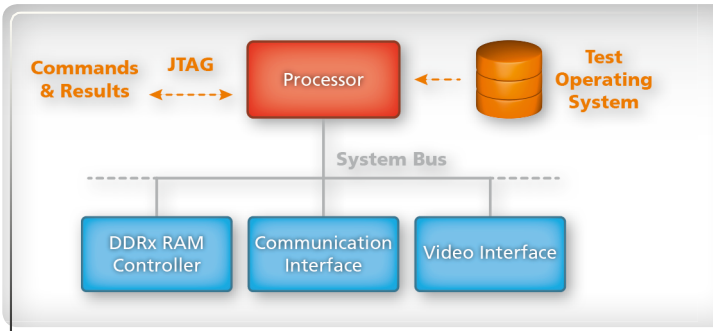


Funktionsprinzip der **Chip-embedded Instruments**

Details weiterer Test- und Programmierverfahren

Embedded Diagnostics Test (EDT)

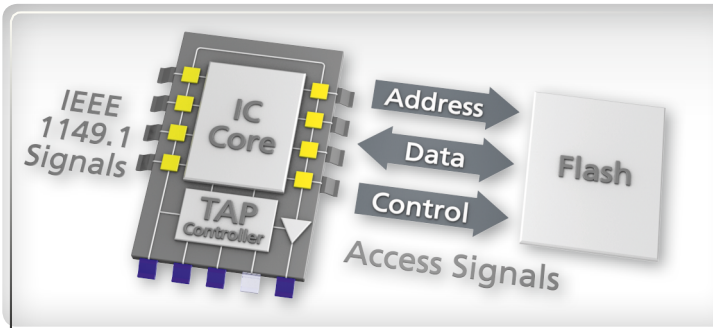
Der Embedded Diagnostics Test benutzt den nativen Prozessor nicht nur zur Ausführung von Tests, sondern auch zur Abarbeitung von Diagnoseroutinen. Da sämtliche Operationen in Echtzeit erfolgen, können nicht nur dynamische Fehler erkannt werden, sondern es sind auch Performance-Optimierungen möglich. Dabei wird die spezielle Testsoftware über JTAG eingebracht, sie kann jedoch auch über ein schnelles Kommunikationsinterface geladen werden. Zugriffspunkt zum System ist damit der native Mikroprozessor. Über entsprechende Kommandos werden die integrierten Testfunktionen der Software aktiviert. Im Fehlerfall erfolgt dann die Diagnose direkt im System. Darüber hinaus kann EDT auch in Form eines residenten Power-On Self-Tests (POST) eingesetzt werden. Desweiteren bietet die Kombination von EDT mit System JTAG (SJTAG) interessante technische Möglichkeiten, Hardcore-Fehler in komplexen Systemen zu lokalisieren.



Prinzip des **Embedded Diagnostics Test**

In-System Programming (ISP)

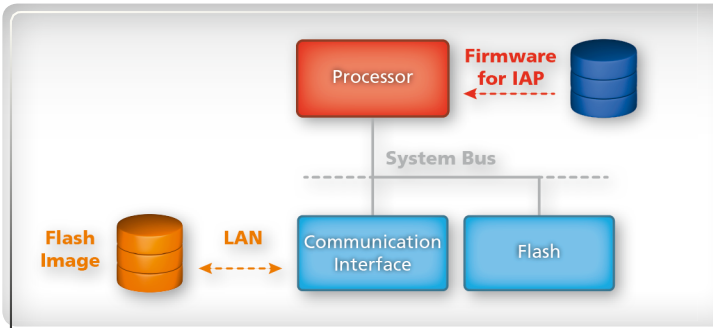
Die Bezeichnung In-System Programming ist ein Sammelbegriff zur **Programmierung** von Flashbausteinen **über Boundary Scan** sowie für PLD/FPGA über den Test Access Port (TAP) im Verbund mit spezifischen Programmierregistern. Die Programmierung erfolgt im eingelöteten Zustand onboard. Für PLD/FPGA existieren auch spezielle Standards, wie IEEE 1532, JESD71 oder dem Serial Vector Format (SVF, ein Quasi-Industriestandard). Neu im ISP-Bereich ist die Flashprogrammierung durch FPGA-basierende Instumente (FPGA-Assisted Programming). Es sind spezielle Chip-embedded Instruments (Softmakros), welche drastische Verbesserungen der Programmiergeschwindigkeit erlauben.



Programmierung eines Flash-Schaltkreises **per Boundary Scan**

In-Application Programming (IAP)

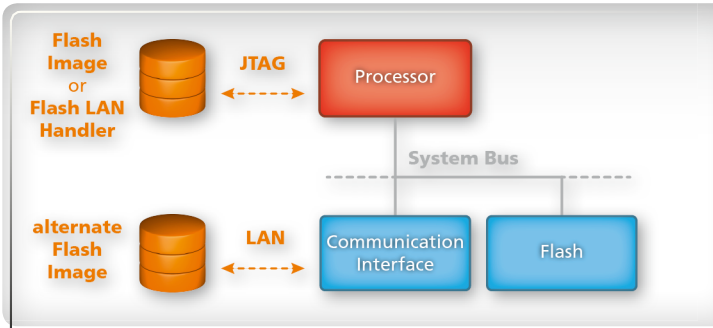
Bei der **IAP**-Methode wird die native Firmware um eine Flash-Programmierroutine erweitert. Diese kann dann per Kommando die an den Prozessor angeschlossenen Flashbausteine während des laufenden Betriebs umprogrammieren. Das benötigte Flash-Image wird über ein externes Interface bereitgestellt (z. B. LAN).



Flash-Schaltkreis-Programmierung per In-Application Programming (**IAP**)

Core Assisted Programming (CAP)

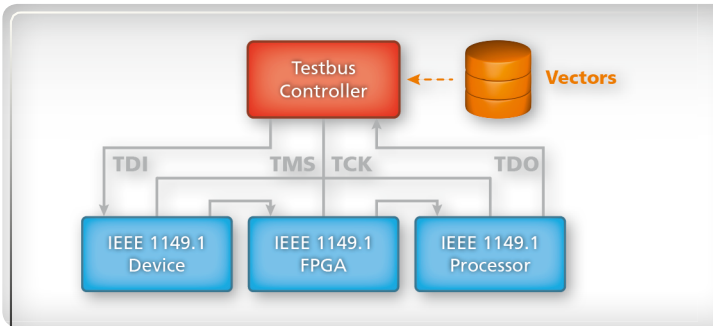
Im Grundsatz verfolgt die Strategie von **Core Assisted Programming** den gleichen Lösungsansatz wie der bereits beschriebene Processor Emulation Test. Der Prozessor wird über das native Debug-Interface in der Art angesteuert, dass die an seinen Systembus angeschlossenen Flashs oder FPGAs (wenn das Design es ermöglicht) gelöscht, programmiert und verifiziert werden können. Bei Flash spielt es keine Rolle, ob er direkt in eine MCU (Microcontroller Unit) integriert ist (On-Chip) oder extern als separater Baustein angeschlossen ist. Darüber hinaus ist es möglich, nur den Flash-Handler per JTAG und das Flash-Image über ein schnelles Kommunikations-Interface zu laden. Die CAP-Technologie bietet deutlich höhere Geschwindigkeiten als die In-System Programmierung via Boundary Scan.



Flash-Schaltkreis-Programmierung per Core Assisted Programming (**CAP**)

System JTAG (SJTAG)

Im Gegensatz zur Nutzung eines externen Controllers verfolgt **System JTAG** den Ansatz, die zentrale Steuereinheit direkt mit in das Design zu integrieren. Dabei kommt typischerweise als Testbuscontroller ein separater Chip zum Einsatz und die Testvektoren werden lokal gespeichert. Derzeit existiert eine sogenannte SJTAG-Initiative zur Standardisierung des Verfahrens.



Integration des Testbuscontrollers bei **SJTAG**

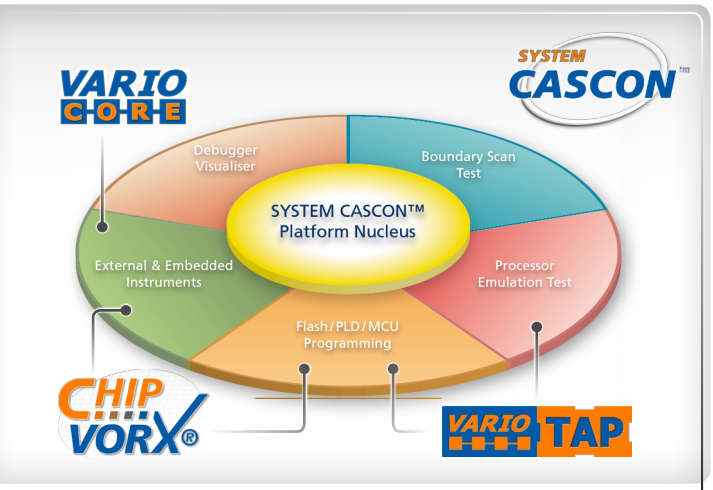
Software-IP-basierende Technologie von GÖPEL electronic

Software Reconfigurable Instruments

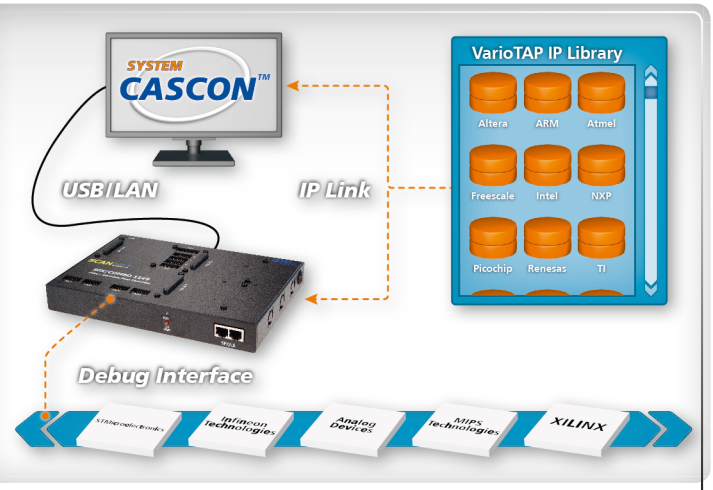
Die **zunehmende Anzahl von ESA-Technologien** ermöglicht zweifelsohne die immer bessere Beherrschung von Problemen beim Testen, Programmieren und bei der Validierung von modernster Elektronik auf Chip-, Board- und Unit-Ebene. Dagegen stellt diese Entwicklung **für die Lieferanten** entsprechender Testausrüstungen eine **gravierende Herausforderung** dar. GÖPEL electronic hat dieses Problem frühzeitig erkannt und den **Lösungsansatz** der sogenannten **Software Reconfigurable Instruments** verfolgt. Dabei werden sowohl die Hardware- als auch die Softwarewerkzeuge durch entsprechende IPs an die eigentliche Zielmission dynamisch adaptiert. Basistechnologien sind hierbei:

- SYSTEM CASCON™ – Softwareplattform
- SCANFLEX® – Hardwareplattform
- VarioTAP® – Prozessor-IP
- ChipVORX® – Instrument-IP
- VarioCore® – I/O-Modul-IP

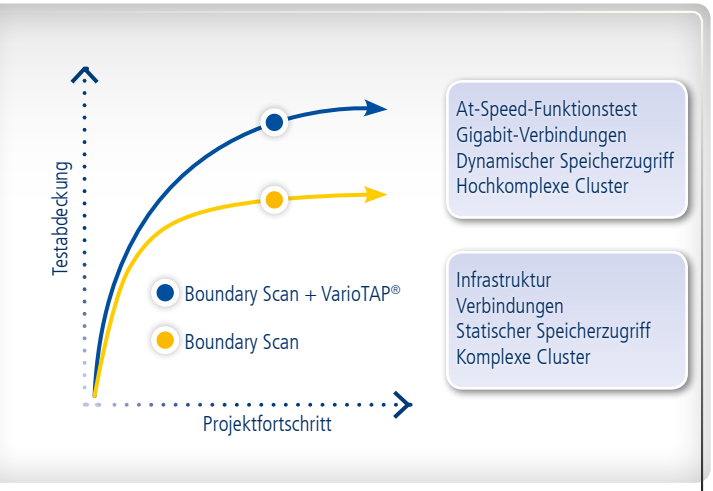
Durch die Integration der IP-basierenden Technologien in SYSTEM CASCON wurde die ursprüngliche Boundary-Scan-**Toolsuite** zu einer offenen Software-/Hardware-Plattform mit Unterstützung **für sämtliche Embedded-System-Access-Strategien** weiterentwickelt.



Integration von IP-Technologien in **SYSTEM CASCON™**



Funktionsprinzip von **VarioTAP®** an einem Beispiel



Verbesserung der Fehlerabdeckung durch **VarioTAP®**

Technologie	SYSTEM CASCON	VarioTAP	ChipVORX
Boundary Scan Test	✓	-	-
Processor Emulation Test	-	✓	-
Chip-embedded Instruments	✓*	-	✓
Embedded Diagnostics Test	-	✓	-
In-System Programming	✓	-	✓
Core Assisted Programming	-	✓	-
FPGA-Assisted Programming	-	-	✓

*limitiert auf einfachste Instrumente

Darüber hinaus ermöglicht die Gesamtlösung auch tiefe Interaktionen zu vielen konventionellen Zugriffstechniken wie In-Circuit Test, Flying Probe Test und Funktionstest. Weiterführende Informationen hierzu sind unter **goepel.com/products** und **goepel.com/integration** zu finden. Im Folgenden werden die einzelnen IP-basierenden Technologien näher beschrieben.

VarioTAP®-Technologie

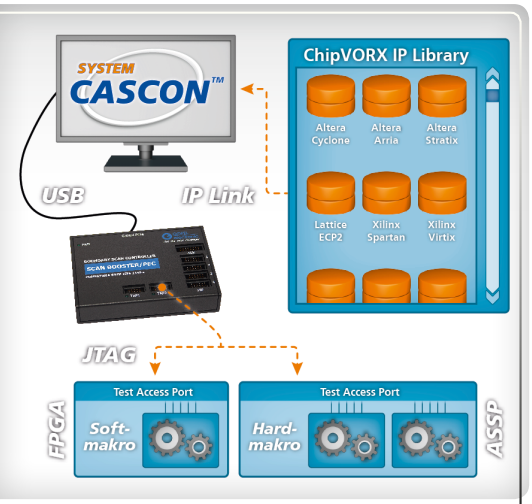
VarioTAP ist eine revolutionäre Technologie zur **Fusion von Boundary Scan und Prozessoremulation**. Sie benutzt sogenannte VarioTAP-Modelle zur Adaption der Plattformmodule an den Zielprozessor. Diese Modelle sind modular als intelligente Software-IP definiert und bieten grundsätzlich eine mehrstufige Funktionsstuktur:

- Core Assisted Flash Programming / PLD Programming
- Bus Emulation Test / System Emulation Test
- Embedded Diagnostics Test

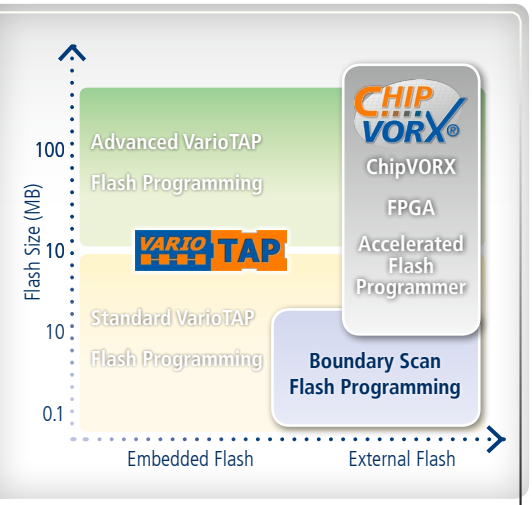
In Kombination mit SCANFLEX-Hardware, welche ebenfalls dynamisch per Software an das jeweilige Debug-Interface (JTAG, BDM, SBW, SWD, COP etc.) angepasst wird, können prinzipiell sämtliche modernen Prozessoren und Mikrocontroller unterstützt werden. Das gilt auch für Multiprozessor- und Multicoredesigns. Damit avanciert VarioTAP zur derzeit **führenden Prozessor-Emulationstechnologie im Markt**.

Weitere Informationen zu **Embedded System Access** sowie zu Technologien und Produkten finden Sie unter
goepel.com/**variotap**

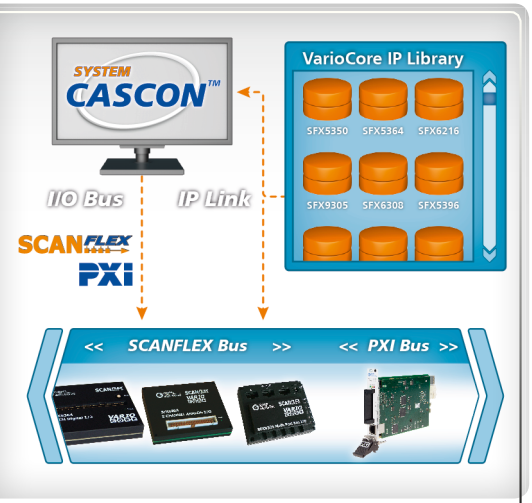
IP-Technologie für Chip-embedded Instuments und I/O-Module



ChipVORX®-Steuerung von Soft- und Hardmakros



ChipVORX® treibt Flash-ISP-Performance



Funktionsprinzip von **VarioCore®**

ChipVORX®-Technologie

Mit der Innovation ChipVORX gelang erstmals die **Fusion von Boundary Scan und Chip-embedded Instruments**. Zur Adaption der Softwaretools an die Zielinstrumente dienen sogenannte ChipVORX-Modelle. Dadurch ist die Technologie völlig offen für jede Instrumentenart:

- FPGA loaded instruments (Softmakros)
- IP vendor proprietary instruments (Hardmakros)
- Standardised instruments access (IJTAG-Makros)
- Custom designed instruments (ASIC-Hardmakro)

Die schaltkreiszentrischen ChipVORX-Modelle sind funktionale Software-IPs mit einer modularen Architektur. Durch diese Offenheit können mehrere embedded Instruments parallel unterstützt werden. Das gilt auch, wenn Instrumente in verschiedene Chips eingebettet sind. Einen besonderen Stellenwert nehmen FPGA-basierte Instrumente ein, da sie extrem flexible Applikationen ermöglichen. ChipVORX bietet auch hier eine hervorragende Lösung, da es die ESA-Technologien **FPGA-Assisted Test** (FAT) und **FPGA-Assisted Programming** (FAP) unterstützt und auch in der Lage ist, die Softmakros und das notwendige Laden in den Target-FPGA zu handhaben. ChipVORX-Modelle für FPGA können deshalb nicht nur Instrumente ansteuern, sondern auch die Instrumente selbst enthalten. Im Fokus von derartigen ChipVORX-Modellen stehen Applikationen, wie:

- Highspeed-Flash-In-System-Programming
- Highspeed-Zugriffstest von DDR-SDRAM
- universelle Frequenz- und Taktmessungen
- Bit Error Rate Test (BERT)

VarioCore®-Technologie

VarioCore ist eine revolutionäre Technologie zur **Rekonfiguration von I/O-Modulen**. Dazu gehören:

- SCANFLEX-I/O-Module (Digital/Mixed Signal)
- PXI-I/O-Module (Digital)

Als Basis fungieren sogenannte VarioCore-IPs, welche dynamisch den Funktionsumfang eines Moduls an die jeweilige Testaufgabe adaptieren. Dabei können die VarioCore-IPs sequentiell aktiviert und sofort, d.h. ohne Reinitialisierung der Plattform, angesteuert werden. Zu den verfügbaren Funktionen gehören unter anderem:

- Counter/Frequency Measurement IP
- Vector Generator/Recorder IP
- Digitizer/Bus Emulator IP
- Customer-specific IP

Get the total Coverage!

Die Interaktion von **VarioCore®, ChipVORX® und VarioTAP® auf einer Plattform** ermöglicht eine überlegene Flexibilität in jeder Dimension – Get the total Coverage!

GÖPEL electronic
Get the total Coverage!
ISO 9001 zertifiziert

GÖPEL electronic GmbH
Göschwitzer Straße 58/60
D-07745 Jena
Tel.: +49(0)-3641-6896-0
Fax: +49(0)-3641-6896-944
E-Mail: sales@goepel.com
Internet: www.goepel.com

Autorisierter Distributor:

sales@goepel.co.uk sales@goepelusa.com sales@goepel.asia sales@goepel.fr

BST-TF/D/2012-02